

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月13日
Date of Application:

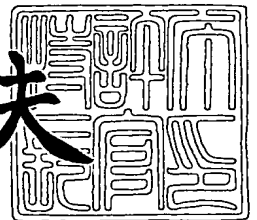
出願番号 特願2002-329273
Application Number:
[ST. 10/C]: [JP 2002-329273]

出願人 株式会社沖データ
Applicant(s): 株式会社沖デジタルイメージング

2003年 9月17日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3076486

【書類名】 特許願

【整理番号】 MA901317

【提出日】 平成14年11月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
ジタルイメージング内

【氏名】 荻原 光彦

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
ジタルイメージング内

【氏名】 藤原 博之

【発明者】

【住所又は居所】 東京都港区芝浦 4 丁目 1 1 番 1 7 号 株式会社イー・イ
ー・ジィ内

【氏名】 安孫子 一松

【発明者】

【住所又は居所】 東京都港区芝浦 4 丁目 1 1 番 1 7 号 株式会社イー・イ
ー・ジィ内

【氏名】 佐久田 昌明

【特許出願人】

【識別番号】 591044164

【氏名又は名称】 株式会社沖データ

【代表者】 河井 正彦

【特許出願人】

【識別番号】 500002571

【氏名又は名称】 株式会社沖デジタルイメージング

【代表者】 菊地 曠

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9407118

【包括委任状番号】 0104055

【包括委任状番号】 0010218

【包括委任状番号】 0104054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体複合装置

【特許請求の範囲】

【請求項 1】 基板と、

少なくとも一つの半導体素子を有し、前記基板の表面に貼り付けられたシート状の第 1 の半導体薄膜と、

集積回路及び第 1 の端子領域を有し、前記基板の前記表面に貼り付けられたシート状の第 2 の半導体薄膜と、

前記第 1 の半導体薄膜の前記半導体素子上から前記基板の前記表面を經由して前記第 2 の半導体薄膜の前記第 1 の端子領域上に至る領域に形成され、前記第 1 の半導体薄膜の前記半導体素子と前記第 2 の半導体薄膜の前記第 1 の端子領域とを電氣的に接続する薄膜の第 1 の個別配線層と

を有することを特徴とする半導体複合装置。

【請求項 2】 基板と、

前記基板の表面の所定領域に密着形成された薄膜の導電性材料層と、

少なくとも一つの半導体素子を有し、前記導電性材料層の表面に貼り付けられたシート状の第 1 の半導体薄膜と、

集積回路及び第 1 の端子領域を有し、前記基板の前記表面に貼り付けられたシート状の第 2 の半導体薄膜と、

前記第 1 の半導体薄膜の前記半導体素子上から前記基板の前記表面を經由して前記第 2 の半導体薄膜の前記第 1 の端子領域上に至る領域に形成され、前記第 1 の半導体薄膜の前記半導体素子と前記第 2 の半導体薄膜の前記第 1 の端子領域とを電氣的に接続する薄膜の第 1 の個別配線層と

を有することを特徴とする半導複合体装置。

【請求項 3】 前記基板が、ガラス、樹脂、セラミック、金属、及び半導体の内のいずれかを主材料とすることを特徴とする請求項 1 又は 2 のいずれかに記載の半導体複合装置。

【請求項 4】 前記基板が、抵抗素子及び容量素子を含む回路及び配線の内の少なくとも一方を構成する回路パターンを有することを特徴とする請求項 1 か

ら 3 までのいずれかに記載の半導体複合装置。

【請求項 5】 前記第 2 の半導体薄膜が、第 2 の端子領域を有し、
前記基板が、前記回路パターンの端子領域を有し、
前記第 2 の半導体薄膜の前記第 2 の端子領域上から前記基板上の前記回路パターンの前記端子領域上までの領域に形成され、前記第 2 の半導体薄膜の前記第 2 の端子領域と前記回路パターンの前記端子領域とを電氣的に接続する薄膜の第 2 の個別配線層を備えた

ことを特徴とする請求項 4 に記載の半導体複合装置。

【請求項 6】 前記第 1 の半導体薄膜が、アモルファスシリコン、単結晶シリコン、ポリシリコン、化合物半導体、及び有機半導体の内のいずれかを主材料としたことを特徴とする請求項 1 から 5 までのいずれかに記載の半導体複合装置。

【請求項 7】 前記第 1 の半導体薄膜が、化合物半導体エピタキシャル薄膜であることを特徴とする請求項 1 から 6 までのいずれかに記載の半導体複合装置。

【請求項 8】 前記化合物半導体エピタキシャル薄膜の材料には、 $Al_xGa_{1-x}As$ （ここで、 $0 \leq x < 1$ である。）、 $(Al_xGa_{1-x})_yIn_{1-y}P$ （ここで、 $0 \leq x < 1$ 且つ $0 \leq y < 1$ である。）、 GaN 、 $AlGaN$ 、及び $InGaN$ の内のいずれかが含まれることを特徴とする請求項 7 に記載の半導体複合装置。

【請求項 9】 前記第 1 の半導体薄膜の前記半導体素子が、発光素子、受光素子、ホール素子、及びpiezo素子の内のいずれかの素子であり、
前記第 2 の半導体薄膜の前記集積回路が、前記半導体素子を駆動させる駆動 IC を含む

ことを特徴とする請求項 1 から 8 までのいずれかに記載の半導体複合装置。

【請求項 10】 前記第 1 の半導体薄膜に、前記半導体素子が等ピッチで複数個配列されていることを特徴とする請求項 1 から 9 までのいずれかに記載の半導体複合装置。

【請求項 11】 前記第 1 の半導体薄膜に、前記半導体素子が 1 個備えられ

ていることを特徴とする請求項 1 から 9 までのいずれかに記載の半導体複合装置。

【請求項 12】 前記第 1 の半導体薄膜が、前記基板の前記表面又は前記導電性材料層の前記表面に複数枚貼り付けられていることを特徴とする請求項 1 から 11 までのいずれかに記載の半導体複合装置。

【請求項 13】 前記第 2 の半導体薄膜が、再結晶化シリコン、単結晶シリコン、多結晶シリコン、化合物半導体、有機半導体、及びポリマーの内のいずれかを主材料としたことを特徴とする請求項 1 から 12 までのいずれかに記載の半導体複合装置。

【請求項 14】 前記第 1 の半導体薄膜が、1 列に複数配列されており、単一の前記第 2 の半導体薄膜が、前記複数の前記第 1 の半導体薄膜の全長にはほぼ等しい長さを持つ

ことを特徴とする請求項 1 から 13 までのいずれかに記載の半導体複合装置。

【請求項 15】 前記導電性材料層が、メタル属又はポリシリコン層のいずれか一方であることを特徴とする請求項 2 に記載の半導体複合装置。

【請求項 16】 前記第 1 の個別配線層が、フォトリソグラフィ技術を用いて一括形成された薄膜であることを特徴とする請求項 1 から 15 までのいずれかに記載の半導体複合装置。

【請求項 17】 前記第 1 の個別配線層が、Au 層、Ti/Pt/Au 積層層、Au/Zn 積層層、AuGeNi/Au 積層層、Pd 層、Pd/Au 積層層、Al 層、Al/Ni 積層層、ポリシリコン層、ITO 層、及び ZnO 層の内のひとつ又は 2 つ以上の組み合わせであることを特徴とする請求項 1 から 16 までのいずれかに記載の半導体複合装置。

【請求項 18】 前記第 2 の個別配線層が、フォトリソグラフィ技術を用いて一括形成された薄膜であることを特徴とする請求項 5 から 17 までのいずれかに記載の半導体複合装置。

【請求項 19】 前記第 2 の個別配線層が、Au 層、Ti/Pt/Au 積層層、Au/Zn 積層層、AuGeNi/Au 積層層、Pd 層、Pd/Au 積層層、Al 層、Al/Ni 積層層、ポリシリコン層、ITO 層、及び ZnO 層の内の

ひとつ又は2つ以上の組み合わせであることを特徴とする請求項5から18までのいずれかに記載の半導体複合装置。

【請求項20】 前記第1の半導体薄膜及び前記第2の半導体薄膜の厚さが、 $10\mu\text{m}$ 以下であることを特徴とする請求項1から19までのいずれかに記載の半導体複合装置。

【請求項21】 前記第1の個別配線層の、前記第1の半導体薄膜上の前記半導体素子から前記第2の半導体薄膜上の前記端子領域上までの長さが、 $200\mu\text{m}$ 以下であることを特徴とする請求項1から20までのいずれかに記載の半導体複合装置。

【請求項22】 前記第1の半導体薄膜が、前記半導体素子を複数個有し、前記第2の半導体薄膜の前記集積回路が、前記半導体素子の駆動ICを複数個有し、

前記複数個の半導体素子の配列ピッチと前記複数個の駆動ICの配列ピッチをほぼ同じにして前記複数個の半導体素子と前記複数個の駆動ICとを一対一に対向させ、

前記第1の個別配線層が、互いに対向する前記半導体素子と前記駆動ICをそれぞれ電氣的に接続する

ことを特徴とする請求項1から21までのいずれかに記載の半導体複合装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、電子写真式プリンタに使用されるLEDプリントヘッドのような半導体複合装置に関する。

【0002】

【従来の技術】

図27は、従来のLEDプリントヘッド900の一部を概略的に示す斜視図であり、図28は、図27のLEDプリントヘッドに備えることができるLEDアレイチップの一例としてのLEDアレイチップ902の一部を示す平面図である。図示されたLEDプリントヘッド900は、基板901上に備えられたLED

アレイチップ902の電極パッド903と、基板901上に備えられた駆動ICチップ904の電極パッド905とをボンディングワイヤ906で接続し、駆動ICチップ904の電極パッド909と基板901の電極パッド910とをボンディングワイヤ911で接続した構造を持つ。

【0003】

また、下記の特許文献1には、薄膜構造の発光素子が開示されている。

【0004】

【特許文献1】

特開平10-063807号公報（図3から図6まで、図8、段落0021）

【0005】

【発明が解決しようとする課題】

しかしながら、図27及び図28に示されたLEDプリントヘッド900では、LEDアレイチップ902と駆動ICチップ904とをボンディングワイヤ906によって接続し、駆動ICチップ904と基板901とをボンディングワイヤ907で接続していたので、LEDアレイチップ902及び駆動ICチップ904のそれぞれにワイヤボンド用の大きな（例えば、 $100\mu\text{m} \times 100\mu\text{m}$ ）電極パッド903、905、909を設ける必要があった。このため、LEDアレイチップ902及び駆動ICチップ904の面積を小さくすることが困難であり、その結果、材料コストを削減することが困難であった。

【0006】

また、LEDアレイチップ902において発光部907として機能する領域は、表面から $5\mu\text{m}$ 程度の深さの領域である。しかし、図27及び図28に示されたLEDプリントヘッド900では、安定したワイヤボンドの歩留まりを確保するために、LEDアレイチップ902の厚さは駆動ICチップ904の厚さ（例えば、 $250\mu\text{m} \sim 300\mu\text{m}$ ）と同程度にする必要があった。このため、LEDプリントヘッド900においては、LEDアレイチップ902及び駆動ICチップ904の材料コストを削減することが困難であった。

【0007】

さらにまた、特許文献1には、薄膜構造の発光素子が開示されているが、発光

素子にはハンダボール用の電極パッドが備えられており、この電極パッドにハンダボールを介して個別電極が接続されている。このように、特許文献 1 の薄膜構造の発光素子は電極パッドを備えているので、その面積を縮小することが困難であった。

【0008】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、小型化及び材料コストの低減を図ることができる半導体複合装置を提供することにある。

【0009】

【課題を解決するための手段】

本発明に係る半導体複合装置は、基板と、少なくとも一つの半導体素子を有し基板の表面に貼り付けられたシート状の第 1 の半導体薄膜と、集積回路及び第 1 の端子領域を有し基板の前記表面に貼り付けられたシート状の第 2 の半導体薄膜とを備えている。さらに、本発明に係る半導体複合装置は、第 1 の半導体薄膜の半導体素子上から基板の表面を経由して第 2 の半導体薄膜の第 1 の端子領域上に至る領域に形成され、第 1 の半導体薄膜の半導体素子と第 2 の半導体薄膜の第 1 の端子領域とを電氣的に接続する薄膜の第 1 の個別配線層を備えている。ここで、個別配線層が経由する基板表面上には必要に応じて絶縁膜（層間絶縁膜）等の薄膜を設けることもできる。

【0010】

【発明の実施の形態】

<第 1 の実施形態>

図 1 は、本発明の第 1 の実施形態に係る半導体複合装置である LED／駆動 IC 複合チップ 100 の一部を概略的に示す斜視図である。また、図 2 は、LED／駆動 IC 複合チップ 100 を概略的に示す平面図であり、図 3 は、図 2 の一部を拡大して示す平面図である。

【0011】

図 1 から図 3 までに示されるように、第 1 の実施形態に係る LED／駆動 IC 複合チップ 100 は、基板 101 と、この基板 101 の表面に密着形成されたメ

タル層 102 と、このメタル層 102 上に貼り付けられたシート状の半導体薄膜であるエピタキシャルフィルム（以下「LEDエピフィルム」と言う。）103 と、基板 101 の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜 104 と、複数の個別配線層 105（図 3 に示す）とを有する。

【0012】

基板 101 は、ガラス、樹脂、及びセラミック等の絶縁体、金属、及び半導体の内のいずれかを主材料とする。

【0013】

メタル層 102 は、基板 101 表面の集積回路薄膜 104 が貼り付けられる領域に隣接した領域上に形成される。メタル層 102 は、例えば、パラジウム又は金等からなる。メタル層 102 の表面には LEDエピフィルム 103 が貼り付けられている。メタル層 102 は、その上に貼り付けられた LEDエピフィルム 103 を基板 101 に固定する機能と、LEDエピフィルム 103 の下面の共通端子領域（図示せず）と基板 101 の共通端子領域（図示せず）とを電氣的に接続する機能とを持つ。ここで、LEDエピフィルム 103 の下面の共通端子領域とは、メタル層 102 と接するエピタキシャル層全面を示しており、本実施形態で具体的に述べれば、n 型 GaAs 層 111 の共通電位側（本実施形態では n 電極側）となる表面全面を意味する。また、基板 101 の共通端子領域とは、基板 101 上に設けられたメタル層 102 と接する基板領域、又は、メタル層 102 及び集積回路 104 の LED 駆動回路の共通電位側（本実施形態では n 電極側）と電氣的に接続された、基板 101 上に設けられた端子の領域を示しており、本実施形態で具体的に述べれば、メタル層 102 が設けられている基板 101 表面の領域を意味する。少なくともメタル層 102 と LEDエピフィルム 103 の下面の共通端子領域との間にはオーミックコンタクトが形成されていることが望ましい。なお、メタル層 102 の厚さは、例えば、約 100 nm（＝0.1 μ m）である。なお、メタル層 102 を基板 101 表面の全域に形成し、その上に LEDエピフィルム 103 及び集積回路薄膜 104 を貼り付ける構成を採用してもよい。

【0014】

図3に示されるように、LEDエピフィルム103には、複数のLED（発光部又は発光領域）106が形成されている。複数のLED106は、等ピッチ（ピッチ P_1 ）で1列に配列されている。ただし、複数のLED106の配列は等ピッチに限定されない。また、複数のLED106の列数も1列に限定されず、例えば、複数のLED106の配列を、配列方向（X方向）に直交する方向（Y方向）に規則的にずらしてもよい。また、図3に示されるように、LEDエピフィルム103は、LED106の発光領域の幅 W_2 よりも広い幅 W_1 を持つ。例えば、LED106の発光領域の幅 W_2 を $20\mu\text{m}$ とし、LEDエピフィルム103の幅 W_1 を $50\mu\text{m}$ とし、LED106の発光領域の両側にそれぞれ $15\mu\text{m}$ の余裕を持たせている。LEDエピフィルム103の幅 W_1 は、電極パッドを有する従来のLEDプリントヘッドの基板の幅（通常、 $400\mu\text{m}$ 程度）よりも非常に小さい幅である。ただし、LEDエピフィルム103の幅 W_1 及びLED106の発光領域の幅 W_2 は上記した値に限定されない。

【0015】

LEDエピフィルム103は、後述するエピタキシャル層のみで構成されることが望ましい。LEDエピフィルム103の厚さは、LEDの安定した特性（例えば、発光特性や電気特性）を確保するために十分な厚さである $2\mu\text{m}$ 程度とすることができる。このLEDエピフィルム103の厚さは、電極パッドを有する従来のLEDプリントヘッドの厚さ（通常、 $300\mu\text{m}$ 程度）よりも非常に薄い厚さである。またLEDエピフィルム103の厚さが厚くなると、個別配線層105に段切れが発生する確率が高くなる。このような不良の発生を回避するためには、LEDエピフィルム103の厚さを、約 $10\mu\text{m}$ 以下にすることが望ましい。ただし、ポリイミド等の絶縁体材料を使って、段差領域を平坦化するなどの方策を講ずるなどして、LEDエピフィルム103の厚さを、 $10\mu\text{m}$ を超える厚さにすることもできる。

【0016】

集積回路薄膜104は、集積回路が作り込まれた半導体薄膜である。図3に示されるように、集積回路薄膜104の集積回路には、複数のLED106を駆動させるための複数の駆動IC107（即ち、駆動IC107の繰り返し単位）が

含まれる。複数の駆動 IC 107 は、複数の LED 106 のそれぞれに対向するように、等ピッチで配置されている。ただし、集積回路薄膜 104 には、複数の駆動 IC 107 の他に、LED 106 の点灯制御に共通に使用される回路も含まれる。集積回路薄膜 104 の厚さは、LED エピフィルム 103 と同程度（例えば、 $10\ \mu\text{m}$ 以下）である。ただし、ポリイミド等の絶縁体材料を使って、段差領域を平坦化するなどの方策を講ずるなどして、集積回路薄膜 104 の厚さを、 $10\ \mu\text{m}$ を超える厚さにすることもできる。

【0017】

また、LED エピフィルム 103 の複数の LED 106 の配列方向（図における、X 方向）と、集積回路薄膜 104 の複数の駆動 IC 107 の配列方向（図における、X 方向）とは平行であることが望ましい。また、LED エピフィルム 103 の複数の LED 106 の配列ピッチ（図 3 における、 P_1 ）と、集積回路薄膜 104 の複数の駆動 IC 107 の配列ピッチ（図 3 における、 P_2 ）とは、ほぼ同じ値になるようにすることが望ましい。さらに、LED エピフィルム 103 の複数の LED 106 と、集積回路薄膜 104 の複数の駆動 IC 107 とは、一対一に対向することが望ましい。

【0018】

図 3 に示されるように、個別配線層 105 は、LED エピフィルム 103 の複数の LED 106 の発光部上と、集積回路薄膜 104 の複数の駆動 IC 107 の個別端子領域 107a とを電氣的に接続する。個別配線層 105 は、例えば、薄膜のメタル配線である。個別配線層 105 としては、Au 層、Ti/Pt/Au 積層層、Au/Zn 積層層、AuGeNi/Au 積層層、Pd 層、Pd/Au 積層層、Al 層、Al/Ni 積層層、ポリシリコン層、ITO 層、及び ZnO 層の内のひとつ又は 2 つ以上の組み合わせなどの材料を用いることができる。個別配線層 105 は、フォトリソグラフィ技術を用いて一括形成することが望ましい。個別配線層 105 は、薄膜配線であるので、配線が長くなれば配線における電圧降下の影響が大きくなる。また、複数の LED 106 を高密度に配列する場合には、複数の LED 106 の配列ピッチ P_1 が小さくなるため、個別配線層 105 の幅が制限される。個別配線層 105 の幅が $5\ \mu\text{m}$ であり、厚さが $0.5\ \mu\text{m}$ で

あり、数mAの駆動電流を流す場合には、個別配線層105の長さは、約200 μ m以下にすることが望ましい。

【0019】

また、個別配線層105とLEDエピフィルム103の表面及び側面との間、個別配線層105とメタル層102との間、個別配線層105と基板101の表面との間、個別配線層105と駆動IC107形成領域との間など、電氣的にショートしてはならない領域には、必要に応じて絶縁膜（例えば、後述する図6（d）及び（e）の絶縁膜117）が設けられ、正常な動作を確保できる構造になっている。

【0020】

図4は、図3をS₄-S₄線で切る面を概略的に示す断面図である。図4に示されるように、LED／駆動IC複合チップ100は、基板101と、メタル層102と、LEDエピフィルム103と、個別配線層105とを順に積層させた構造を持つ。図4では、各層111～115から構成される半導体エピタキシャル層積層構造に層間絶縁膜117を設けた構造全体をさしてLEDエピフィルム103と定義している。

【0021】

図4に示されるように、LEDエピフィルム103は、n型GaAs層111と、n型Al_xGa_{1-x}As層112（0≤x<1）と、n型Al_yGa_{1-y}As層113（0≤y<1）と、n型Al_zGa_{1-z}As層114（0≤z<1）と、n型GaAs層115とを順に積層させた構造を持つ。また、n型Al_yGa_{1-y}As層113及びn型Al_zGa_{1-z}As層114にはZn拡散領域116が形成されており、n型Al_zGa_{1-z}As層114上には絶縁膜117が形成されている。n型Al_zGa_{1-z}As層114の表面及びAl_zGa_{1-z}As層に形成されたZn拡散領域表面の一部（Al_zGa_{1-z}As層表面のpn接合領域を含むpn接合近傍の領域）を被覆するように絶縁膜117が形成されている。Zn拡散によってGaAs層115内に形成されたpn接合領域を含む領域を除去し、Znが拡散されている島状のGaAs層が形成されている。

【0022】

n型GaAs層111の厚さは、約10nm(=約0.01 μ m)であり、n型Al_xGa_{1-x}As層112の厚さは、約0.5 μ mであり、n型Al_yGa_{1-y}As層113の厚さは、約1 μ mであり、n型Al_zGa_{1-z}As層114の厚さは、約0.5 μ mであり、GaAs層115の厚さは、約10nm(=約0.01 μ m)である。この場合には、LEDエピフィilm103の厚さは、約2.02 μ mとなる。ただし、各層の厚さは、上記値に限定されない。また、LEDエピフィilm103の材料として、(Al_xGa_{1-x})_yIn_{1-y}P(ここで、0 \leq x<1且つ0 \leq y<1である。)、GaN、AlGaN、InGaN等の他の材料を用いてもよい。

【0023】

また、上記各層のAl組成は、x>y且つz>y(例えば、x=z=0.4、y=0.1)とすることができる。Zn拡散領域116の拡散フロントは、n型Al_yGa_{1-y}As層113の内部に位置するように構成することができる。このように構成することにより、pn接合を介して注入された少数キャリアは、n型Al_yGa_{1-y}As層113内に閉じ込められ、高い発光効率を得られる。即ち、図4に示されるような構造を採用することによって、LEDエピフィilm103の厚さを約2 μ mと薄くすることができ、発光効率を高くすることができる。なお、上記説明においては、エピタキシャル層としてホモ接合型LEDの製造方法を説明したが、ヘテロ接合型LEDとすることもできる。また、適宜用途に応じてAl組成の異なる半導体層を設けてもよい。

【0024】

次に、LED/駆動IC複合チップ100の製造方法を説明する。図5は、第1の実施形態に係るLED/駆動IC複合チップ100を基板(分離前)101a上に形成するプロセスを説明するための概略的な平面図である。また、図6(a)から(e)までは、第1の実施形態に係るLED/駆動IC複合チップ100の製造プロセスを概略的に示す平面図である。

【0025】

LED/駆動IC複合チップ100の製造に際しては、先ず、図5及び図6(

a) に示されるように、基板 101a のチップ形成領域 101b 内にメタル層 102 を形成する。メタル層 102 のパターンは、例えば、リフトオフ法により形成することができる。次に、図 5 及び図 6 (b) に示されるように、メタル層 102 上に LED エピフィルム 103 を貼り付け、基板 101a 上に集積回路薄膜 104 を貼り付ける。次に、図 6 (c) に示されるように、LED エピフィルム 103 上を含む所定領域を覆う絶縁膜 117 を形成し、図 6 (d) に示されるように、その上に、フォトリソグラフィ技術を用いて薄膜の個別配線層 105 を形成する。次に、図 6 (e) に示されるダイシング予定ライン 118 をダイシングして半導体複合チップ、即ち、LED/駆動 IC 複合チップ 100 を分離する。なお、絶縁膜 118 が形成される領域は、図示の領域に限定されず、例えば、LED エピフィルム 103 の上面及び側面及びメタル層 102 上のみを覆うようにしてもよい。なお、LED エピフィルム 103 の貼り付けと集積回路薄膜 104 の貼り付けの順番は、上記した順番と逆であってもよい。

【0026】

LED エピフィルム 103 の裏面の共通端子領域（図示せず）とメタル層 102 との間、及び、メタル層 102 と基板 101 の共通端子領域（図示せず）との間にオーミックコンタクトを形成するためには、LED エピフィルム 103 をメタル層 102 上に密着させた後、200℃～250℃でアニールを行い、強固なボンディング強度を得る。その後、個別配線層 105 をフォトリソグラフィ技術を用いて形成し、その後、例えば、約 200℃でコンタクトアニールを行う方法がある。

【0027】

図 7 から図 9 までは、LED エピフィルム 103 の製造プロセスを概略的に示す断面図であり、図 10 は、図 9 を S10-S10 線で切る面を概略的に示す断面図である。なお、図 9 は、図 10 を S9-S9 線で切る面を示す断面図に相当する。

【0028】

LED エピタキシャル層 103a の製造は、有機金属化学蒸着法（MOCVD 法）や分子線エピタキシー法（MBE 法）等によって行うことができる。LED

エピフィルム 103 の製造に際しては、図 7 に示されるように、GaAs 基板 121 上に、GaAs バッファ層 122、(AlGa) InP エッチングストップ層 123、及び AlAs 剥離層 124 を順に成膜する。次に、AlAs 剥離層 124 上に、GaAs コンタクト層 111 (n 型 GaAs 層 111)、AlGaAs 下クラッド層 112 (n 型 $Al_xGa_{1-x}As$ 層 112)、AlGaAs 活性層 113 (n 型 $Al_yGa_{1-y}As$ 層 113)、AlGaAs 上クラッド層 114 (n 型 $Al_zGa_{1-z}As$ 層 114)、及び GaAs コンタクト層 115a (例えば、n 型 GaAs 層) を順に成膜する。LED エピフィルム 103 の剥離は、化学的リフトオフ法を用いて行うことができる。ここで、エッチングストップ層 123 を省くこともできる。また、LED エピタキシャル層 103a 及び LED エピフィルム形成用基板 120 に他の半導体エピタキシャル層を追加するなど種々の変形が可能である。

【0029】

次に、図 8 に示されるように、絶縁膜 117 の成膜及び開口部の形成をし、固相拡散法等により亜鉛 (Zn) からなる P 型不純物を拡散し、Zn 拡散領域 116 を形成する。その後、固相拡散時に用いた拡散源膜は除去し、GaAs コンタクト層の Zn 拡散領域表面を露出させる。次に、GaAs コンタクト層内に形成された pn 接合面を含む領域を除去することが望ましい。

【0030】

次に、図 9 及び図 10 に示されるように、10% HF (弗化水素) 液により、AlAs 剥離層 124 を選択的に除去する。AlAs 剥離層 124 に対するエッチング速度は、AlGaAs 層 112 ~ 114、GaAs 層 111, 115, 121, 122、及びエッチングストップ層 123 に対するエッチング速度に比べ格段に大きいので、AlAs 剥離層 124 を選択的にエッチングすることができる。これにより、LED エピフィルム 103 を、LED エピフィルム製造用基板 120 から剥がすことが可能になる。なお、この LED エピフィルム 103 を薄くするとともに、比較的短い時間で LED エピフィルム製造用基板 120 から剥がすためには、例えば、LED エピフィルム 103 の幅を $300\mu m$ 以下、例えば、 $50\mu m$ 程度とすることが望ましい。このためには、図 10 に示されるよう

に、幅 W_1 が $50\mu\text{m}$ となるように、各エピタキシャル層111～115をエッチングし、溝125を形成しておく。溝125の形成は、溝形成領域レジスト等によりマスクをしておき、燐酸過水によりエッチングするフォトリソグラフィ工程により行う。燐酸過水は、AlGaAs層112～114、GaAs層111、115、121、122は、エッチングするが、(AlGa)InPエッチングストップ層123に対するエッチング速度が遅いので、上面から溝125をエッチング形成する際に溝が基板121まで到達するのを防止することができる。溝125を形成するにあたり溝形成予定領域上の絶縁膜をあらかじめ除去した構造とした後に、溝125を形成してもよい。溝125を形成するためのフォトリソ、エッチング工程で、溝125を形成するためのレジストマスクを使って溝形成予定領域上の絶縁膜を除去し、さらに溝形成のためのエッチングを行ってもよい。溝125を形成した後、HF液によりエッチングすることにより、AlAs剥離層124をエッチングし、LEDエピフィルム103を剥離する。なお、図10には、AlAs剥離層124が残されている状態（エッチング途中）が示されているが、LEDエピフィルム103を保持した状態で、AlAs剥離層124は完全に除去される。AlAs剥離層124をエッチング除去した後、エッチング液が残留しないように純水による水洗処理を施す。LEDエピフィルム103の剥離に際して、LEDエピフィルムを支持及び保護する支持体をLEDエピフィルム103上に設けることができる。例えば、LEDエピフィルム103の上に支持体を設けた場合、LEDエピフィルム支持体表面を、例えば、真空吸着により吸着し、支持体が設けられたLEDエピフィルムをメタル層102上に移動し、所定の位置に貼り付けることができる。LEDエピフィルム103を貼り付けた後、支持体を除去する。

【0031】

図11(a)から(c)までは、第1の実施形態に係るLED／駆動IC複合チップ100の集積回路薄膜104の製造プロセスを概略的に示す断面図である。集積回路薄膜104の製造には、例えば、SOI基板130を用いる。SOI基板130は、シリコン基板131と、その上に形成された埋め込み SiO_2 層(BOX層)132と、その上に形成されたシリコン層(SOI層)133とを

有する。製造に際しては、先ず、図 11 (a) に示されるように、シリコン層 133 の表面付近に集積回路 133a を形成する。次に、図 11 (b) に示されるように、 SiO_2 層 132 を例えば、HF 液でエッチングし、図 11 (c) に示されるように、シリコン層 133 を剥離し、基板 (分離前) 101a 上に貼り付ける。シリコン層 133 の剥離工程では、シリコン層に形成されている集積回路領域が、シリコン層 133 の剥離のためのエッチング液、例えば、HF、によって破壊されないように保護することが望ましい。上で述べた LED エピフィルム の剥離、移動と同じように、集積回路を保護するための保護層をシリコン層 133 の支持体と兼用することもできる。剥離したシリコン層 133 を貼り付ける所定の位置に移動し貼り付ける工程では、LED エピフィルム の場合に説明したように、例えば、支持体表面を、例えば、真空吸着により吸着して、所定の位置まで移動し吸着を解除すればよい。

【0032】

以上説明したように、第 1 の実施形態に係る LED/駆動 IC 複合チップ 100 によれば、基板 101 上に貼り付けられた LED エピフィルム 103 と集積回路薄膜 104 の駆動 IC 107 とをフォトリソグラフィ技術により形成された薄膜の個別配線層 105 により電氣的に接続しているので、LED エピフィルム 103 及び集積回路薄膜 104 にワイヤボンダ用の電極パッドを設ける必要がない。このため、LED エピフィルム 103 及び集積回路薄膜 104 にの面積を小さくでき、その結果、LED/駆動 IC 複合チップ 100 の小型化を実現できる。また、LED エピフィルム 103 及び集積回路薄膜 104 にの面積を小さくできるので、材料コストの低減を図ることができる。

【0033】

また、第 1 の実施形態に係る LED/駆動 IC 複合チップ 100 によれば、基板 101 上に貼り付けられた LED エピフィルム 103 と基板 101 に貼り付けられた集積回路薄膜 104 とをフォトリソグラフィ技術により形成された薄膜の個別配線層 105 により電氣的に接続しているので、LED エピフィルム 103 及び集積回路薄膜 104 の厚さを厚くする必要がない。このように、LED エピフィルム 103 及び集積回路薄膜 104 の厚さを薄くできるので、材料コストの

低減を図ることができる。

【0034】

さらに、第1の実施形態に係るLED／駆動IC複合チップ100によれば、LEDエピフィルム103の複数のLED106と、集積回路薄膜104の複数の駆動IC107とを、一対一に対向させているので、個別配線層105の長さを短くすることができ、個別配線層105の抵抗値を低くすることができる。

【0035】

さらにまた、第1の実施形態に係るLED／駆動IC複合チップ100によれば、従来のワイヤボンドに代えて個別配線層105を用いているので、接続不良発生率を低くすることができる。

【0036】

<第2の実施形態>

図12は、本発明の第2の実施形態に係る半導体複合装置としてのLED／駆動IC複合チップ150の一部を概略的に示す平面図である。図12において、図3（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。

【0037】

図12に示されるように、第2の実施形態に係るLED／駆動IC複合チップ150は、LEDエピフィルム103と集積回路薄膜104との間の基板101上に導電性材料からなる中継端子領域151を備えた点のみが、図3（第1の実施形態）に示されるLED／駆動IC複合チップ100と相違する。図12に示されるLED／駆動IC複合チップ150の場合には、個別配線層105は、LEDエピフィルム103のLED106の発光部上から基板101の中継端子領域151上を経由して集積回路薄膜104の個別端子領域107aまでの領域に形成される。図12に示されたLED／駆動IC複合チップ150によれば、中継端子領域151を備えたので、LEDエピフィルム103と集積回路薄膜104の位置関係を変える（例えば、離す）ことが可能になる。

【0038】

なお、第2の実施形態において、上記以外の点は、上記第1の実施形態の場合と同じである。

【0039】

<第3の実施形態>

図13は、本発明の第3の実施形態に係る半導体複合装置としてのLED／駆動IC複合チップ160の一部を概略的に示す平面図である。また、図14は、図13をS14-S14線で切る面を概略的に示す断面図である。図13において、図3（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。また、図14において、図4（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。

【0040】

図13及び図14に示されるように、第3の実施形態に係るLED／駆動IC複合チップ160は、基板101とLEDエピフィルム103との間にメタル層102を備えていない点のみが、図3（第1の実施形態）に示されるLED／駆動IC複合チップ100と相違する。基板101の上面とLEDエピフィルム103の下面を、適当な化学的方法で表面処理し（汚染物質の除去及び平坦性、例えば、原子層オーダーでの平坦性を準備して、）両面を密着させ、加圧・加熱工程を経ることにより、両面を強固に接着（密着）することができる。強固な接着に必要な加熱温度は、メタル層を介した接着の場合に比べ高い温度になるが、このような接着方法を用いれば、メタル層の厚さバラツキに起因する誤差を排除できるので、平坦度の高い面同士を密着させることができる。また、第3の実施形態に係るLED／駆動IC複合チップ160によれば、メタル層の介在に伴う誤差を排除できるので、LED106の配列位置と駆動IC107の配列位置との整列度合い（アラインメント精度）を高めることができる。

【0041】

なお、第3の実施形態において、上記以外の点は、上記第1及び第2の実施形態の場合と同じである。

【0042】

<第4の実施形態>

図15は、本発明の第4の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ170の一部を概略的に示す平面図である。また、図16は、L

LED/駆動IC複合チップ170の一部を概略的に示す斜視図であり、図17は、図15をS17-S17線で切る面を概略的に示す断面図である。図15及び図16において、図3（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。

【0043】

図15及び図16に示されるように、第4の実施形態に係るLED/駆動IC複合チップ170は、メタル層102上に複数のLEDエピフィルム171を等ピッチに1列に貼り付け、且つ、各LEDエピフィルム171が1個のLEDを有する点が、図3（第1の実施形態）に示されるLED/駆動IC複合チップ100と相違する。

【0044】

図17に示されるように、LEDエピフィルム171は、GaAs層172上に、p型 $Al_xGa_{1-x}As$ 層173、p型 $Al_yGa_{1-y}As$ 層174、n型 $Al_zGa_{1-z}As$ 層175、及びn型GaAs層176を順に形成した構造を持つ。n型GaAs層176上には絶縁膜177が成膜され、その開口部から駆動IC107の端子領域107aまでの領域に個別配線層105が形成されている。上記各層のAl組成は、 $x > y$ 且つ $z > y$ （例えば、 $x = z = 0.4$ 、 $y = 0.1$ ）とすることができる。ただし、LEDエピフィルム171の構造及び組成は上記したものに限定されない。

【0045】

第4の実施形態に係るLED/駆動IC複合チップ170によれば、LEDエピフィルム171が小さく分割されているので、LEDエピフィルム171の熱膨張係数と基板101の熱膨張係数とが大きく異なる場合に問題となり得る、LEDエピフィルム171の内部応力を軽減でき、LEDエピフィルム171の欠陥の発生要因の一つを排除できる。このため、第4の実施形態に係るLED/駆動IC複合チップ170の信頼性を高めることができる。

【0046】

また、第4の実施形態に係るLED/駆動IC複合チップ170によれば、LEDエピフィルム171が小さく分割されており、接着領域が小さいので、LE

Dエピフィルム171をメタル層102に密着させるプロセスが容易であり、密着性の不完全さに起因する欠陥発生率を低減できる。

【0047】

さらに、第4の実施形態に係るLED／駆動IC複合チップ170によれば、LEDエピフィルム171が発光領域以外の部分を持たないので、個別配線層105の長さを短くすることができる。

【0048】

なお、第4の実施形態において、上記以外の点は、上記第1から第3までの実施形態の場合と同じである。

【0049】

<第5の実施形態>

図18は、本発明の第5の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ180の一部を概略的に示す斜視図である。また、図19は、LED／駆動IC複合チップ180の一部を概略的に示す平面図である。

【0050】

図18に示されるように、第5の実施形態に係るLED／駆動IC複合チップ180は、基板181と、この基板181の表面に貼り付けられたシート状の半導体薄膜であるLEDエピフィルム183と、基板181の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜184と、複数の薄膜の個別配線層185、186（図19に示す）とを有する。第5の実施形態においては、1つのLEDエピフィルム183に対して1つの集積回路薄膜184を対向配置している。また、LED／駆動IC複合チップ180の基板181には、回路パターン182が備えられている。また、LED／駆動IC複合チップ180においては、集積回路薄膜184が端子領域184a、184bを有し、基板181が回路パターン182の端子領域182aを有する。

【0051】

LED／駆動IC複合チップ180においては、LEDエピフィルム183のLED106の発光部上から基板181の表面を經由して集積回路薄膜184の端子領域184a上までの領域に、LED106の発光部と集積回路薄膜184

の端子領域 184a とを電氣的に接続する薄膜の個別配線層 185 が備えられている。個別配線層 185 の下面には、電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0052】

また、LED/駆動 IC 複合チップ 180 においては、集積回路薄膜 184 の端子領域 184b 上から基板 181 の回路パターン 182 の端子領域 182a 上までの領域に、集積回路薄膜 184 の端子領域 184b と基板 181 の回路パターン 182 の端子領域 182a とを電氣的に接続する薄膜の個別配線層 186 が備えられている。個別配線層 186 は、例えば、集積回路薄膜 184 の駆動 IC への電気信号や電力の入出力のために使用される。また、個別配線層 186 の下面には、回路パターン 182 や集積回路薄膜 184 との電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0053】

第 5 の実施形態に係る LED/駆動 IC 複合チップ 180 によれば、従来のワイヤボンダに代えて個別配線層 185 及び 186 を用いているので、小型化及び材料の削減を果たすことができ、しかも接続不良発生率を低くすることができる。

【0054】

なお、第 5 の実施形態において、上記以外の点は、上記第 1 から第 4 までの実施形態の場合と同じである。

【0055】

<第 6 の実施形態>

図 20 は、本発明の第 6 の実施形態に係る半導体複合装置である LED/駆動 IC 複合チップ 190 の一部を概略的に示す平面図である。

【0056】

図 20 に示されるように、第 6 の実施形態に係る LED/駆動 IC 複合チップ 190 は、基板 191 と、この基板 191 の表面に貼り付けられたシート状の半導体薄膜である LED エピフィルム 193 と、基板 191 の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜 194 と、複数の個別配線層 195

、196とを有する。第6の実施形態においては、3つのLEDエピフィルム193に対して1つの集積回路薄膜194を備えている点が第5の実施形態の場合と相違する。また、LED／駆動IC複合チップ190の基板191には、回路パターン192が備えられている。また、集積回路薄膜194には個別配線層195、196用の端子領域が備えられ、基板192には個別配線層196用の端子領域（即ち、回路パターン192の端子領域）が備えられている。

【0057】

LED／駆動IC複合チップ190においては、LEDエピフィルム193のLEDの発光部上から基板191の表面を経由して集積回路薄膜194の端子領域上までの領域に、LEDの発光部と集積回路薄膜194の端子領域とを電氣的に接続する薄膜の個別配線層195が備えられている。個別配線層195の下面には、電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0058】

また、LED／駆動IC複合チップ190においては、集積回路薄膜194の端子領域上から基板191の回路パターン192の端子領域上までの領域に、集積回路薄膜194の端子領域と基板191の回路パターン192の端子領域とを電氣的に接続する薄膜の個別配線層196が備えられている。個別配線層196は、例えば、集積回路薄膜194の駆動ICへの電気信号や電力の入出力のために使用される。また、個別配線層196の下面には、回路パターン192や集積回路薄膜194との電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0059】

第6の実施形態に係るLED／駆動IC複合チップ190によれば、従来のワイヤボンドに代えて個別配線層195及び196を用いているので、小型化及び材料の削減を果たすことができ、しかも接続不良発生率を低くすることができる。

【0060】

なお、第6の実施形態において、上記以外の点は、上記第1から第5までの実

施形態の場合と同じである。

【0061】

<第7の実施形態>

図21は、本発明の第7の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ200の一部を概略的に示す平面図である。

【0062】

図21に示されるように、第7の実施形態に係るLED／駆動IC複合チップ200は、基板201と、この基板201上に密着形成されたメタル層201aと、メタル層201aの表面に貼り付けられたシート状の半導体薄膜であるLEDエピフィルム203と、基板201の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜204と、複数の個別配線層205、206とを有する。図21に示されるように、第7の実施形態に係るLED／駆動IC複合チップ200は、メタル層201a上に複数のLEDエピフィルム203を等ピッチに1列に貼り付け、且つ、各LEDエピフィルム203が1個のLED106を有する点が、図18（第5の実施形態）に示されるLED／駆動IC複合チップ180と相違する。また、LED／駆動IC複合チップ200の基板201には、回路パターン202が備えられている。ここで、回路パターンとは、基板201の電源及び必要な信号の入出力端子と、集積回路薄膜204の端子、基板201に設けられた集積回路薄膜204以外の駆動制御に必要な抵抗やコンデンサー、メモリーなどの部品の端子、を接続するための配線パターン及び集積回路基板204の端子と集積回路薄膜204以外の駆動制御に必要なコンデンサー、メモリーなどの部品の端子を接続するための配線パターンを意味する。また、集積回路薄膜204には個別配線層205、206用の端子領域が備えられ、基板201には個別配線層206用の端子領域（即ち、回路パターン202の端子領域）が備えられている。

【0063】

LED／駆動IC複合チップ200においては、LEDエピフィルム203のLEDの発光部上から基板201の表面を経由して集積回路薄膜204の端子領域上までの領域に、LEDの発光部と集積回路薄膜204の端子領域とを電氣的

に接続する薄膜の個別配線層 205 が備えられている。個別配線層 205 の下面には、電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0064】

また、LED／駆動 IC 複合チップ 200 においては、集積回路薄膜 204 の端子領域 204b 上から基板 201 の回路パターン 202 の端子領域 202a 上までの領域に、集積回路薄膜 204 の端子領域 204b と基板 201 の回路パターン 202 の端子領域 202a とを電氣的に接続する薄膜の個別配線層 206 が備えられている。個別配線層 206 は、例えば、集積回路薄膜 204 の駆動 IC への電気信号や電力の入出力のために使用される。また、個別配線層 206 の下面には、回路パターン 202 や集積回路薄膜 204 との電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0065】

第 7 の実施形態に係る LED／駆動 IC 複合チップ 200 によれば、従来のワイヤボンダに代えて個別配線層 205 及び 206 を用いているので、小型化及び材料の削減を果たすことができ、しかも接続不良発生率を低くすることができる。

【0066】

なお、第 7 の実施形態において、上記以外の点は、上記第 1 から第 6 までの実施形態の場合と同じである。

【0067】

< 第 8 の実施形態 >

図 22 は、本発明の第 8 の実施形態に係る半導体複合装置である LED／駆動 IC 複合チップ 210 を概略的に示す平面図である。また、図 23 は、第 8 の実施形態に係る半導体複合装置である LED／駆動 IC 複合チップ 210 の一部を概略的に示す斜視図である。

【0068】

図 22 又は図 23 に示されるように、第 8 の実施形態に係る LED／駆動 IC 複合チップ 210 は、基板 211 と、この基板 211 上に密着形成されたメタル

層 211a と、メタル層 211a の表面に貼り付けられたシート状の半導体薄膜である LED エピフィルム 213 と、基板 211 の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜 214 と、複数の個別配線層 215, 216 とを有する。図 22 又は図 23 に示されるように、第 8 の実施形態に係る LED / 駆動 IC 複合チップ 210 は、メタル層 211a 上に複数の LED エピフィルム 213 を 1 列に貼り付けている。また、LED / 駆動 IC 複合チップ 210 の基板 211 には、回路パターン 212 が備えられている。また、集積回路薄膜 214 には個別配線層 215, 216 用の端子領域が備えられ、基板 211 には個別配線層 216 用の端子領域（即ち、回路パターン 212 の端子領域）が備えられている。

【0069】

LED / 駆動 IC 複合チップ 210 においては、LED エピフィルム 213 の LED の発光部上から基板 211 の表面を経由して集積回路薄膜 214 の端子領域上までの領域に、LED の発光部と集積回路薄膜 214 の端子領域とを電氣的に接続する薄膜の個別配線層 215 が備えられている。個別配線層 215 の下面には、電氣的なショート回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0070】

また、LED / 駆動 IC 複合チップ 210 においては、集積回路薄膜 214 の端子領域上から基板 211 の回路パターン 212 の端子領域上までの領域に、集積回路薄膜 214 の端子領域と基板 211 の回路パターン 212 の端子領域とを電氣的に接続する薄膜の個別配線層 216 が備えられている。個別配線層 216 は、例えば、集積回路薄膜 214 の駆動 IC への電気信号や電力の入出力のために使用される。また、個別配線層 216 の下面には、回路パターン 212 や集積回路薄膜 214 との電氣的なショート回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0071】

第 8 の実施形態に係る LED / 駆動 IC 複合チップ 210 によれば、従来のワイヤボンダに代えて個別配線層 215 及び 216 を用いているので、小型化及び

材料の削減を果たすことができ、しかも接続不良発生率を低くすることができる。

【0072】

図24は、第8の実施形態に係るLED／駆動IC複合チップ210の集積回路薄膜214の製造プロセスを概略的に示す平面図である。図24に示されるように、集積回路薄膜214を、集積回路薄膜形成用の基板217（例えば、ガラス基板）上に複数個一括に形成し、各集積回路薄膜214をガラス基板217から剥離し、基板211上に貼り付ける。このように、加熱工程を含む集積回路薄膜214の製造プロセスをガラス基板217上で実行するので、実装基板には高い耐熱性が要求されず、実装基板の材料の選択肢が広がる。

【0073】

なお、第8の実施形態において、上記以外の点は、上記第1から第7までの実施形態の場合と同じである。

【0074】

<第9の実施形態>

図25は、本発明の第9の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ220を概略的に示す平面図である。

【0075】

図25に示されるように、第9の実施形態に係るLED／駆動IC複合チップ220は、基板221と、この基板221上に密着形成されたメタル層221aと、メタル層221aの表面に貼り付けられたシート状の半導体薄膜であるLEDエピフィilm223と、基板221の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜224と、複数の個別配線層225、226とを有する。図25に示されるように、第9の実施形態に係るLED／駆動IC複合チップ220は、メタル層221a上に複数（図25では8個）のLEDエピフィilm223を1列に貼り付けている。また、LED／駆動IC複合チップ220には、2つの集積回路薄膜224が備えられている。また、LED／駆動IC複合チップ220の基板221には、回路パターン222が備えられている。また、集積回路薄膜224には個別配線層225、226用の端子領域が備えられ、基板

221には個別配線層226用の端子領域（即ち、回路パターン222の端子領域）が備えられている。なお、第9の実施形態においては、LED／駆動IC複合チップ220を2分割した場合を示したが、3分割以上に分割してもよい。

【0076】

LED／駆動IC複合チップ220においては、LEDエピフィルム223のLEDの発光部上から基板221の表面を経由して集積回路薄膜224の端子領域上までの領域に、LEDの発光部と集積回路薄膜224の端子領域とを電氣的に接続する薄膜の個別配線層225が備えられている。個別配線層225の下面には、電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0077】

また、LED／駆動IC複合チップ220においては、集積回路薄膜224の端子領域上から基板221の回路パターン222の端子領域上までの領域に、集積回路薄膜224の端子領域と基板221の回路パターン222の端子領域とを電氣的に接続する薄膜の個別配線層226が備えられている。個別配線層226は、例えば、集積回路薄膜224の駆動ICへの電気信号や電力の入出力のために使用される。また、個別配線層226の下面には、回路パターン222や集積回路薄膜224との電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0078】

第9の実施形態に係るLED／駆動IC複合チップ220によれば、従来のワイヤボンドに代えて個別配線層225及び226を用いているので、小型化及び材料の削減を果たすことができ、しかも接続不良発生率を低くすることができる。

【0079】

なお、第9の実施形態において、上記以外の点は、上記第1から第8までの実施形態の場合と同じである。

【0080】

<本発明が適用されたLEDプリントヘッド>

図 26 は、本発明に係る半導体装置を組み込んだ LED プリントヘッド 700 を概略的に示す断面図である。図 26 に示されるように、LED プリントヘッド 700 は、ベース部材 701 と、ベース部材 701 に固定された LED ユニット 702 と、柱状の光学素子を多数配列したロッドレンズアレイ 703 と、ロッドレンズアレイ 703 を保持するホルダ 704 と、これらの構成 701～704 を固定するクランプ 705 とを有する。LED ユニット 702 には、上記実施形態の半導体装置である LED/駆動 IC チップ又は LED アレイチップが搭載されている。LED ユニット 702 で発生した光はロッドレンズアレイ 703 を通して照射される。LED プリントヘッド 700 は、電子写真プリンタや電子写真コピー装置等の露光装置として用いられる。

【0081】

<可能な変形例>

なお、上記実施形態においては、基板上にメタル層 102 を形成した場合を説明したが、メタル層 102 に代えてポリシリコン等の金属以外の導電性薄膜層を用いてもよい。

【0082】

また、上記実施形態においては、メタル層 102 を長方形に描いているが、角に切欠き部を備えたり、辺に凹凸部を備えてもよい。この場合には、切欠き部をチップの向きを判断する基準部として用いることができる。また、凹凸部を LED の位置判定用の基準部として用いることができる。

【0083】

さらに、上記実施形態においては、半導体薄膜に備えられた半導体素子が LED である場合を説明したが、半導体素子は、レーザー等の他の発光素子、受光素子、ホール素子、及びピエゾ素子等のような他の素子であってもよい。

【0084】

さらにまた、上記実施形態においては、LED エピフィルムがエピタキシャル層から構成された場合を説明したが、LED エピフィルムに代えてエピタキシャル層ではない半導体薄膜を採用してもよい。

【0085】

また、上記実施形態においては、LEDエピフィルムを集積回路薄膜の近傍に備えた場合を説明したが、電圧降下が問題にならない場合には、集積回路薄膜から離れた位置にLEDエピフィルムを配置してもよい。

【0086】

さらに、上記実施形態においては、集積回路薄膜104の製造には、SOI基板130を用いる場合を説明したが、集積回路薄膜104を、ポリシリコンTF T駆動回路としてもよい。ポリシリコンTF T駆動回路の製造に際しては、例えば、数百nm厚のSiO₂層を形成したガラス基板上に、比較的低い加熱温度の下、CVD法などで、アモルファス状態のシリコン薄膜を形成する。その後、エキシマ・パルスレーザを照射するなどして、アモルファスシリコンの再結晶化を図り、多結晶シリコン層を得る。この多結晶シリコン層にトランジスタなどの回路要素を含む集積回路パターンを形成する。

【0087】

さらに、LEDエピフィルムの裏面に形成される共通電極を複数に分割することによって、複数のLEDを時分割駆動可能にすることもできる。

【0088】

【発明の効果】

以上に説明したように、本発明によれば、基板上に貼り付けられた第1の半導体薄膜と第2の半導体薄膜とを第1の個別配線層で電氣的に接続する構造を採用したので、半導体複合装置の小型化及び材料コストの低減を図ることができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図である。

【図2】 第1の実施形態に係るLED／駆動IC複合チップを概略的に示す平面図である。

【図3】 第1の実施形態に係るLED／駆動IC複合チップの一部を拡大して示す平面図である。

【図4】 図3をS₄－S₄線で切る面を概略的に示す断面図である。

【図 5】 第 1 の実施形態に係る L E D／駆動 I C 複合チップを基板上に形成するプロセスを説明するための概略的な平面図である。

【図 6】 (a) から (e) までは、第 1 の実施形態に係る L E D／駆動 I C 複合チップの製造プロセスを概略的に示す平面図である。

【図 7】 第 1 の実施形態に係る L E D／駆動 I C 複合チップの L E D エピフィルムの製造プロセス (その 1) を概略的に示す断面図である。

【図 8】 第 1 の実施形態に係る L E D／駆動 I C 複合チップの L E D エピフィルムの製造プロセス (その 2) を概略的に示す断面図である。

【図 9】 第 1 の実施形態に係る L E D／駆動 I C 複合チップの L E D エピフィルムの製造プロセス (その 3) を概略的に示す断面図である。

【図 10】 図 9 を S 1 0－S 1 0 線で切る面を概略的に示す断面図である。

【図 11】 (a) から (c) までは、第 1 の実施形態に係る L E D／駆動 I C 複合チップの集積回路薄膜の製造プロセスを概略的に示す断面図である。

【図 12】 本発明の第 2 の実施形態に係る L E D／駆動 I C 複合チップを概略的に示す平面図である。

【図 13】 本発明の第 3 の実施形態に係る L E D／駆動 I C 複合チップを概略的に示す平面図である。

【図 14】 図 13 を S 1 4－S 1 4 線で切る面を概略的に示す断面図である。

【図 15】 本発明の第 4 の実施形態に係る L E D／駆動 I C 複合チップの一部を概略的に示す平面図である。

【図 16】 第 4 の実施形態に係る L E D／駆動 I C 複合チップの一部を概略的に示す斜視図である。

【図 17】 図 15 を S 1 7－S 1 7 線で切る面を概略的に示す断面図である。

【図 18】 本発明の第 5 の実施形態に係る L E D／駆動 I C 複合チップの一部を概略的に示す斜視図である。

【図 19】 第 5 の実施形態に係る L E D／駆動 I C 複合チップを概略的に

示す平面図である。

【図 20】 本発明の第 6 の実施形態に係る LED／駆動 IC 複合チップを概略的に示す平面図である。

【図 21】 本発明の第 7 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 22】 本発明の第 8 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 23】 第 8 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す斜視図である。

【図 24】 第 8 の実施形態に係る LED／駆動 IC 複合チップの集積回路薄膜の製造プロセスを概略的に示す平面図である。

【図 25】 本発明の第 9 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 26】 本発明に係る半導体装置を組み込んだ LED プリントヘッドを概略的に示す断面図である。

【図 27】 従来の LED プリントヘッドの一部を概略的に示す斜視図である。

【図 28】 図 27 の LED プリントヘッドに備えられた LED アレイチップの一部を示す平面図である。

【符号の説明】

100, 150, 160, 170, 180, 190, 200, 210, 220

LED／駆動 IC 複合チップ、

101, 181, 191, 201, 211, 221 基板、

101a 分離前の基板、

101b チップ形成領域、

102 メタル層、

103, 171, 183, 193, 203, 213, 223 エピタキシャルフィルム (LED エピフィルム)、

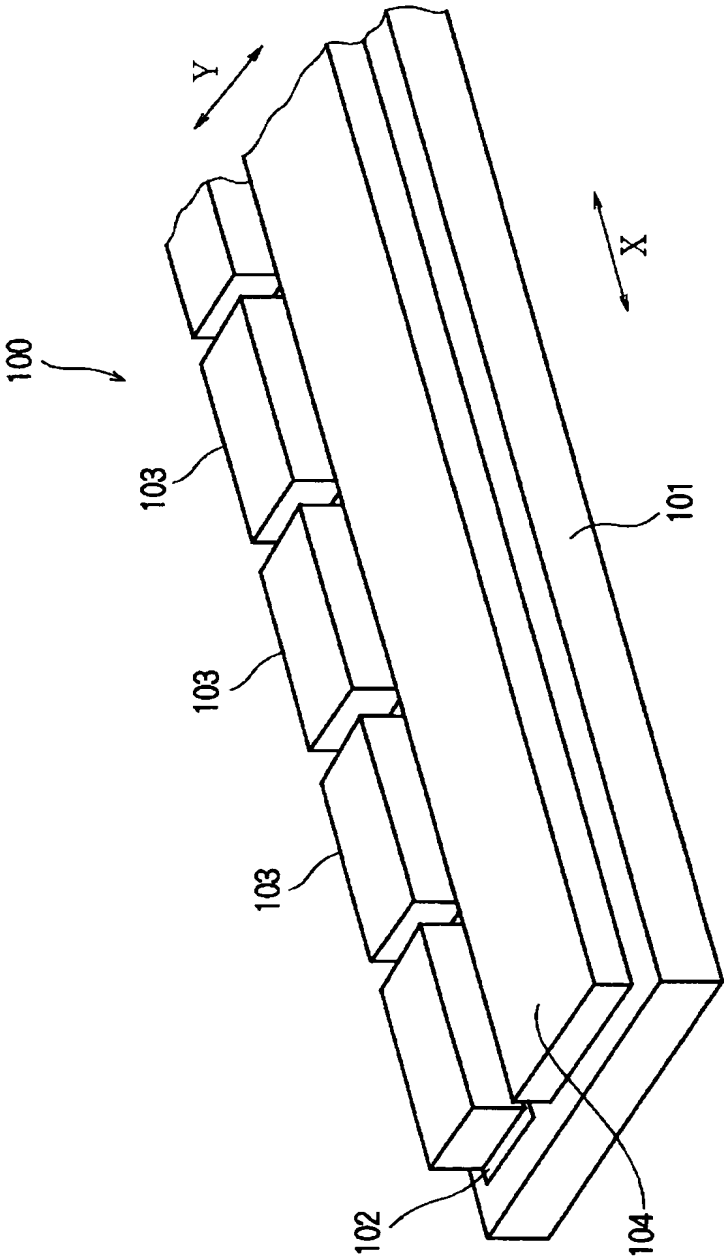
104, 184, 194, 204, 214, 224 集積回路薄膜、

- 105, 185, 195, 205, 215, 225 個別配線層、
- 106 LED (発光部又は発光領域)、
- 107 駆動 IC、
- 107a 駆動 IC の個別端子領域、
- 111 GaAs コンタクト層 (n 型 GaAs 層)、
- 112 AlGaAs 下クラッド層 (n 型 $Al_xGa_{1-x}As$ 層)、
- 113 AlGaAs 活性層 (n 型 $Al_yGa_{1-y}As$ 層)、
- 114 AlGaAs 上クラッド層 (n 型 $Al_zGa_{1-z}As$ 層)、
- 115 GaAs コンタクト層 (GaAs 層内の Zn 拡散領域)、
- 115a GaAs コンタクト層、
- 116 Zn 拡散領域、
- 117 絶縁膜、
- 118 ダイシングライン (ダイシング予定領域)、
- 120 LED エピフィルム形成用基板、
- 121 GaAs 基板、
- 122 GaAs バッファ層、
- 123 (AlGa) InP エッチングストップ層、
- 124 AlAs 剥離層、
- 125 エッチング溝、
- 130 SOI 基板、
- 131 シリコン基板、
- 132 埋め込み SiO_2 層 (BOX 層)、
- 133 シリコン層 (SOI 層)、
- 133a 集積回路 (集積回路形成領域)、
- 182, 192, 202, 212, 222 基板の回路パターン、
- 186, 196, 206, 216, 226 個別配線層、
- 700 LED プリントヘッド、
- 702 LED ユニット、
- 703 ロッドレンズアレイ。

【書類名】

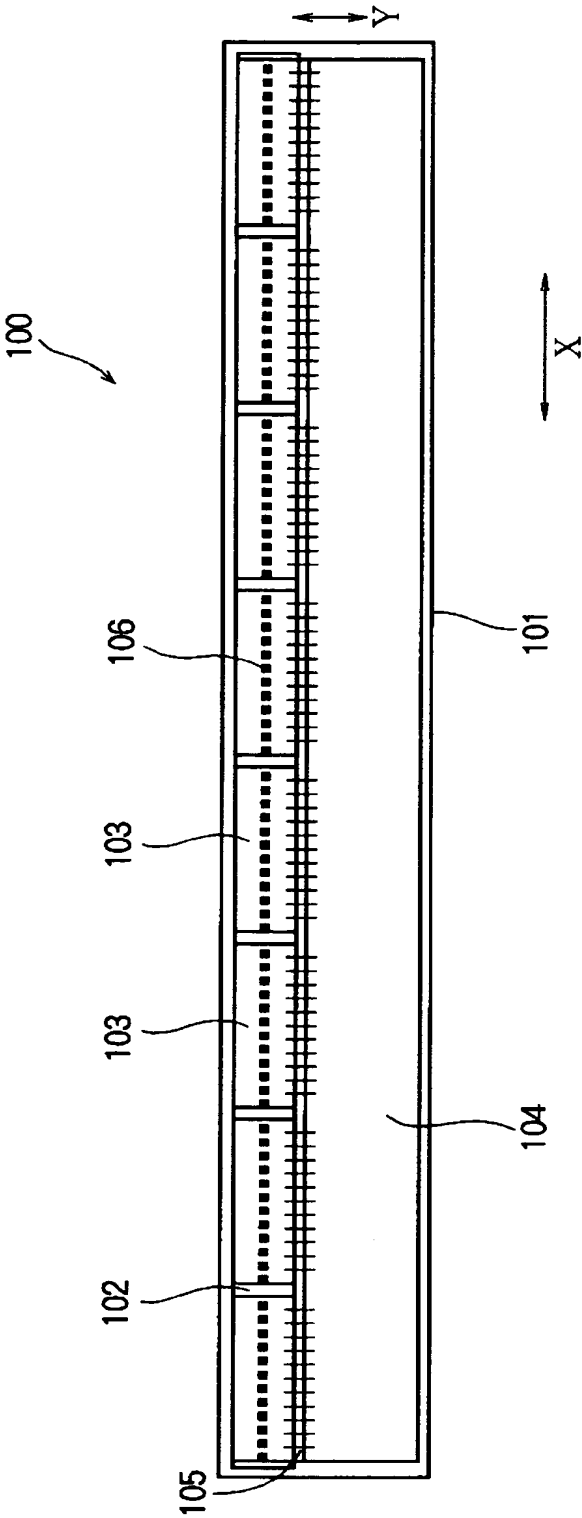
図面

【図 1】



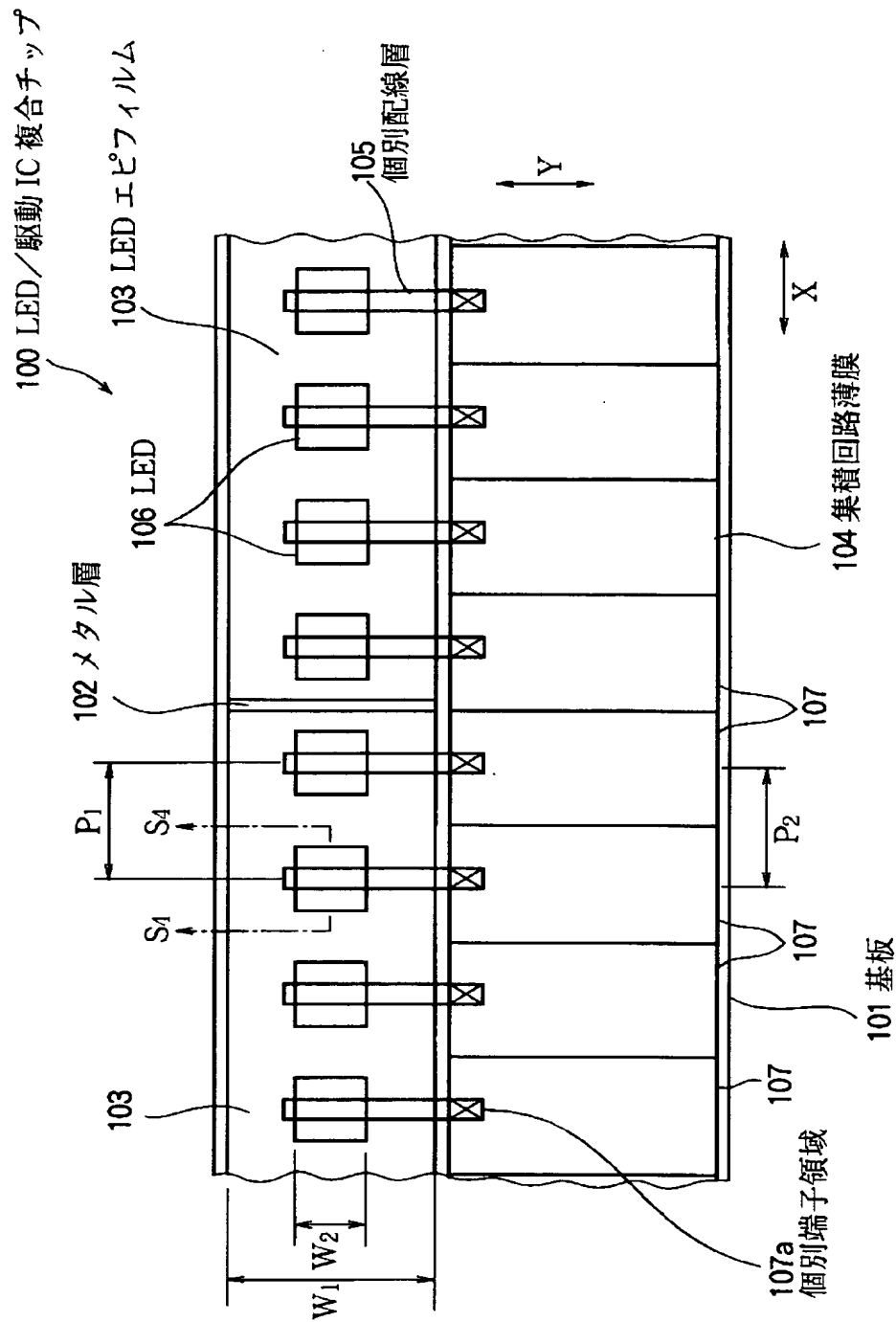
第 1 の実施形態

【図 2】



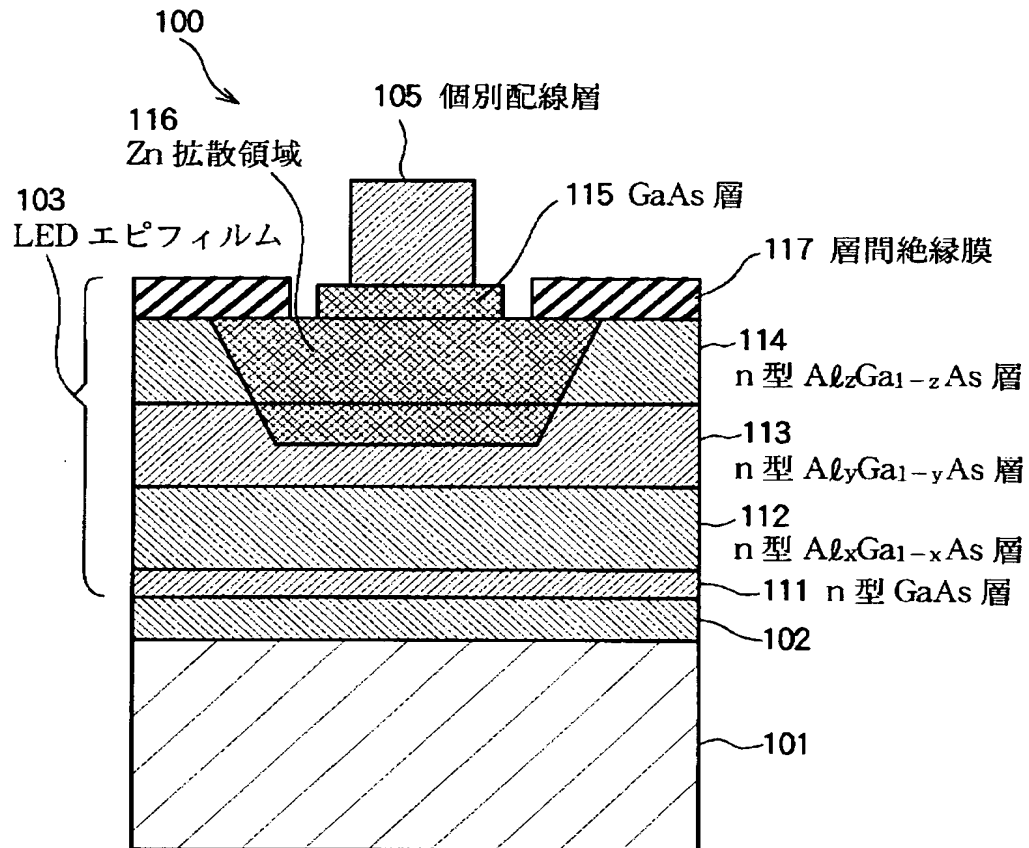
第 1 の実施形態

【図 3】

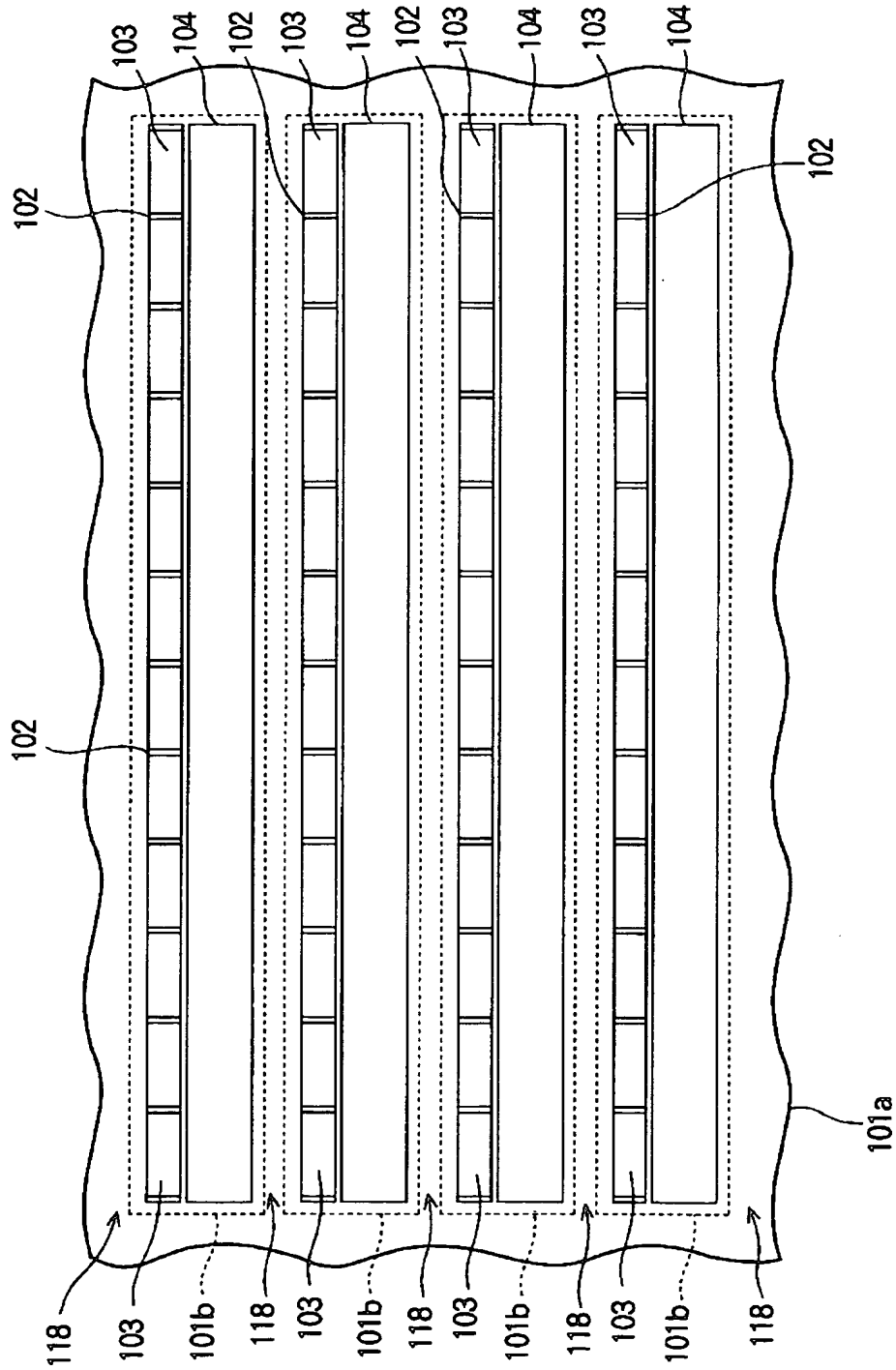


第 1 の実施形態

【図 4】

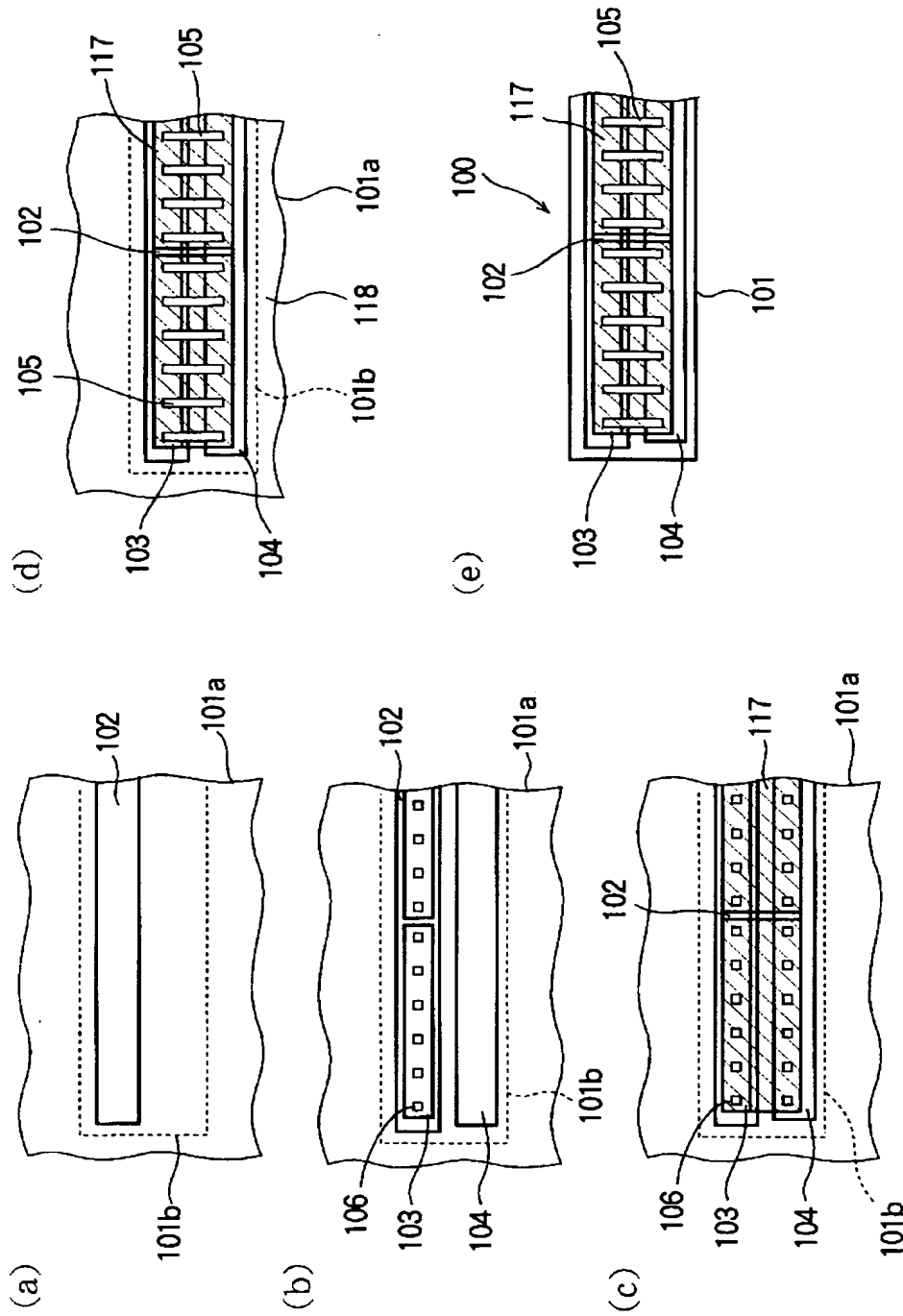
図 3 の S₄-S₄ 線断面

【図 5】



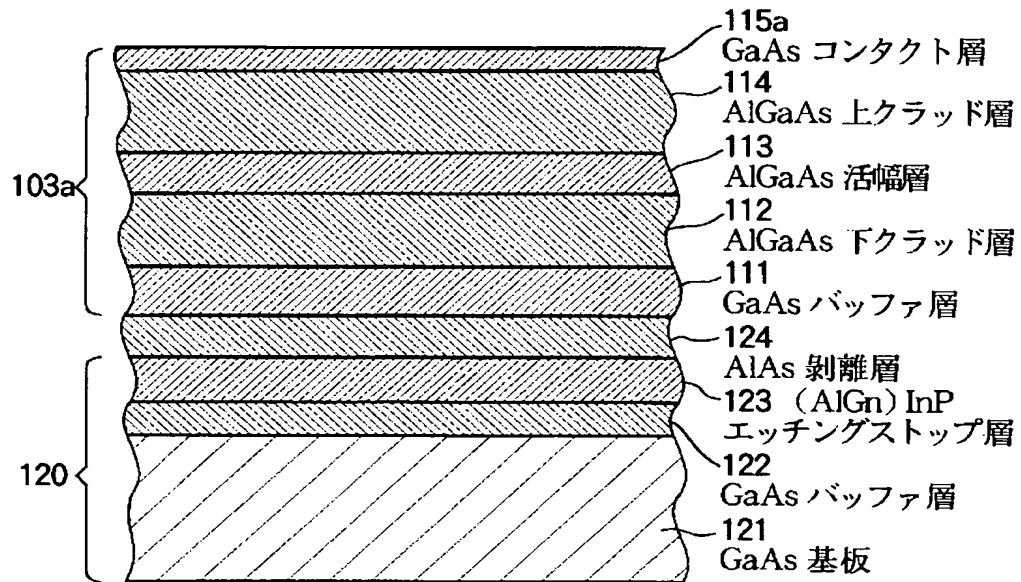
第 1 の実施形態の製造プロセス

【図 6】



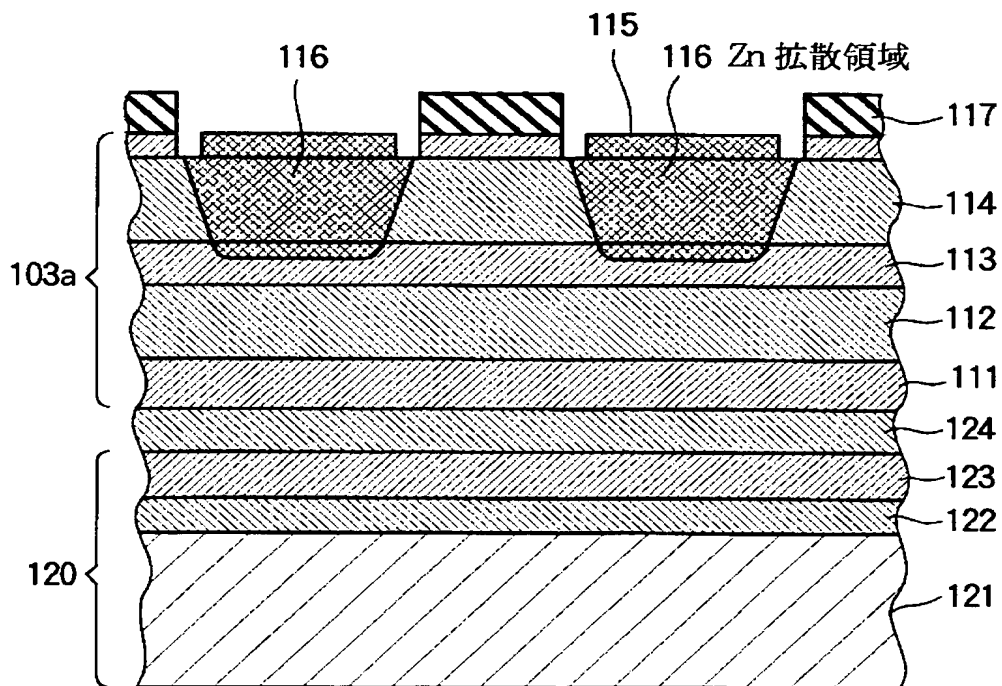
第 1 の実施形態の製造プロセス

【図 7】



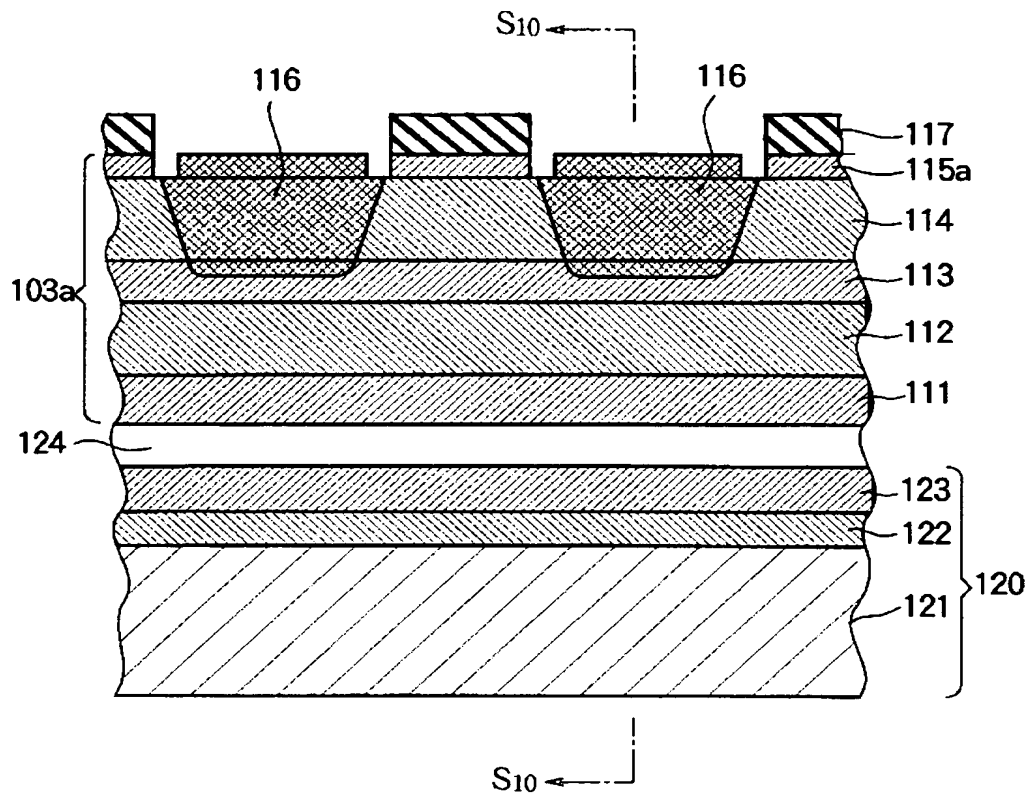
LED エピフィルムの製造プロセス(その 1)

【図 8】



LED エピフィルムの製造プロセス(その 2)

【図 9】



LED エピフィルの製造プロセス(その 3)

【図 10】

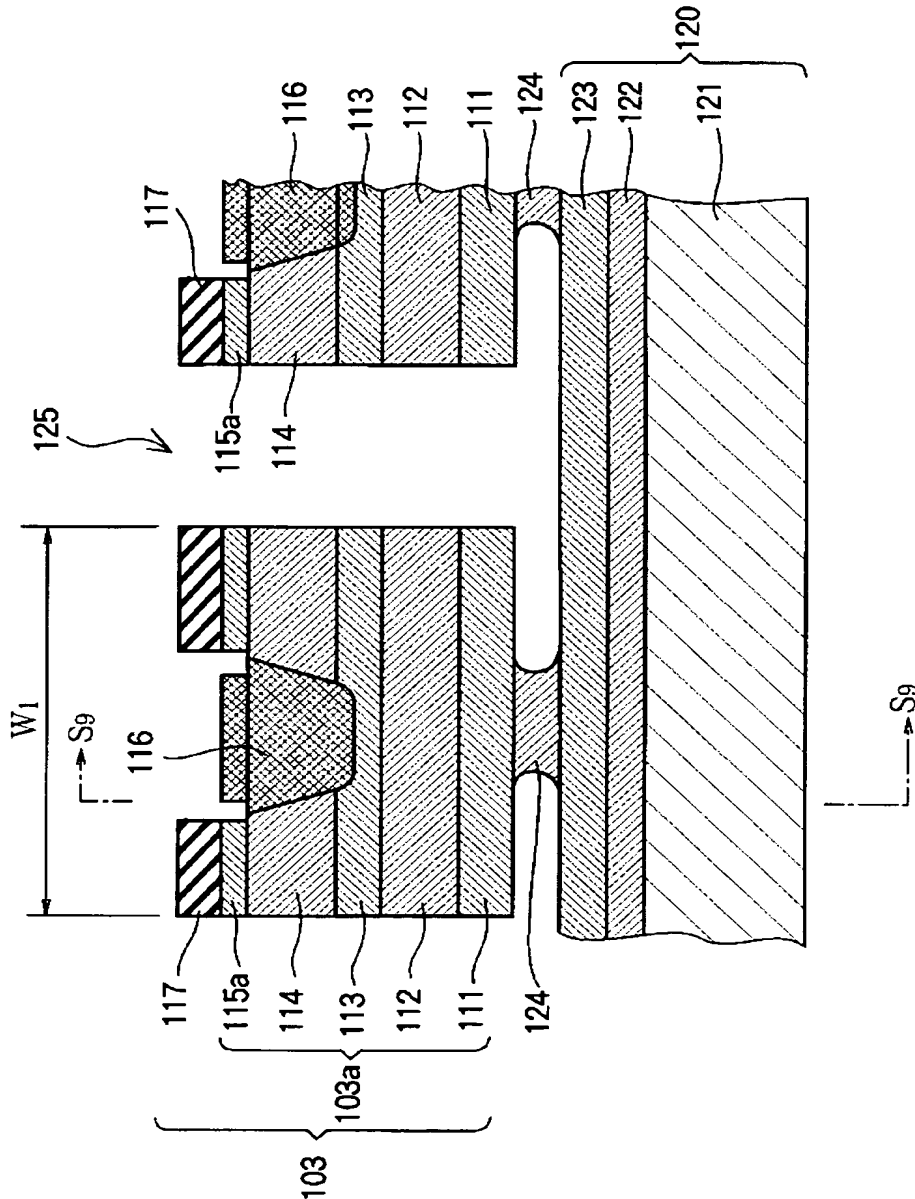
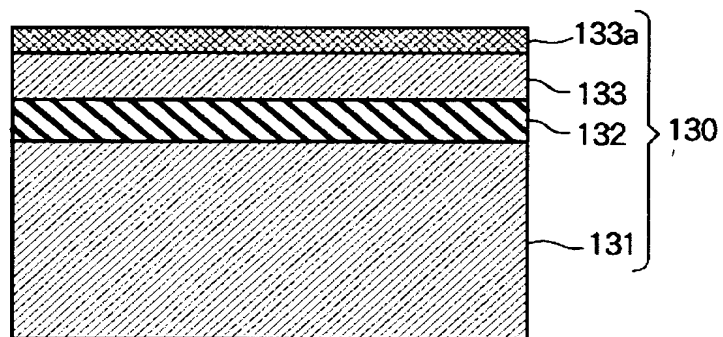


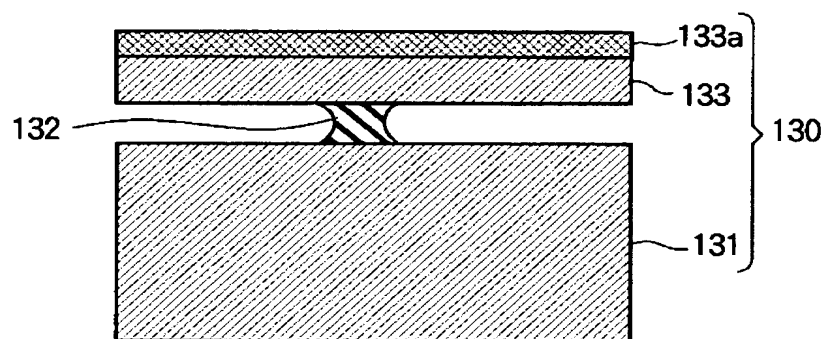
図 9 の S10-S10 線断面図

【図 11】

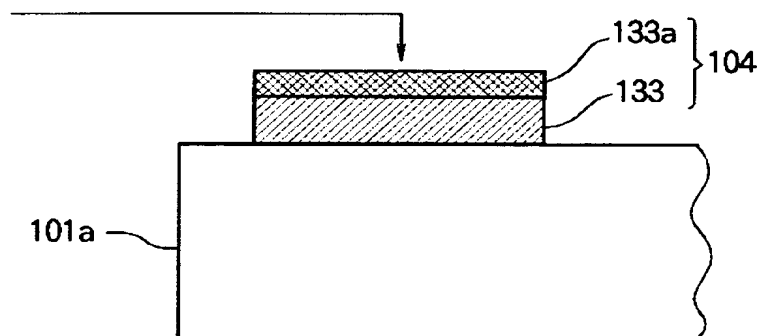
(a)



(b)

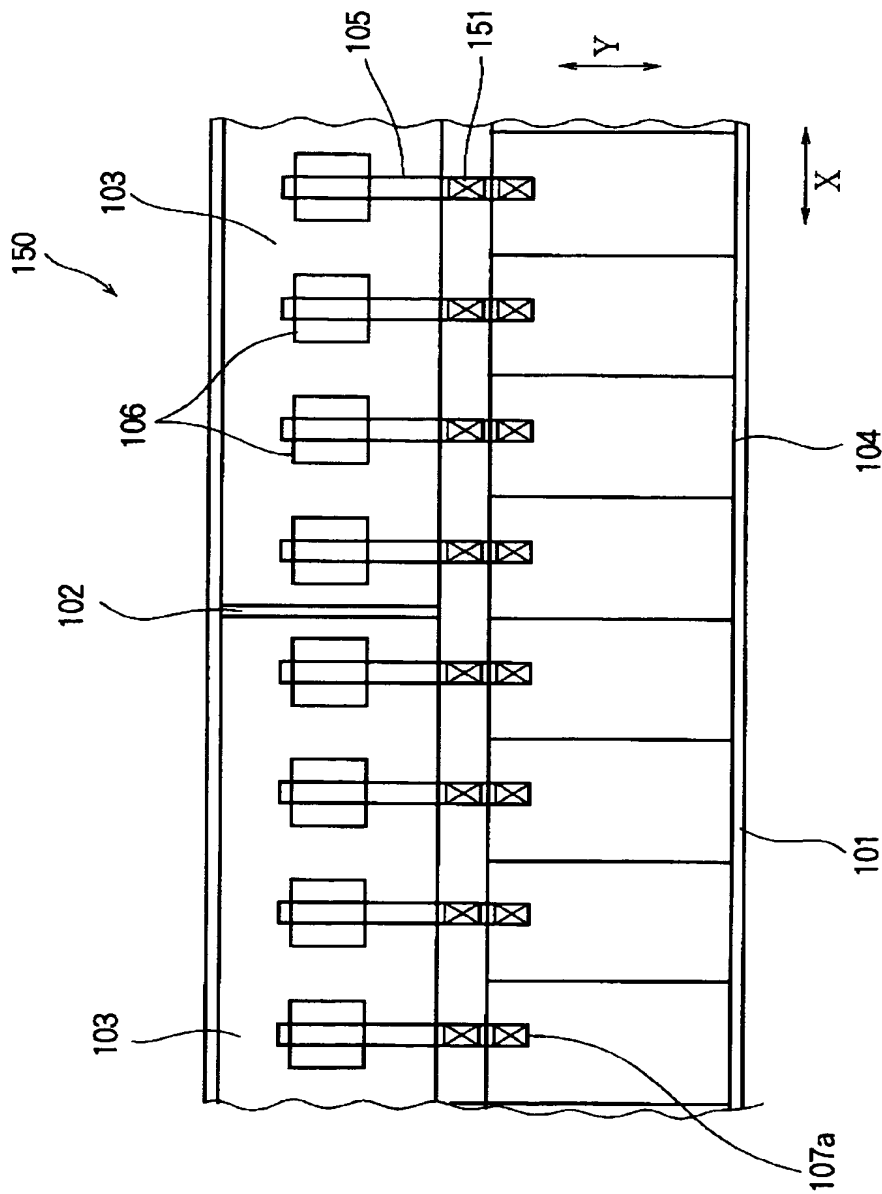


(c)



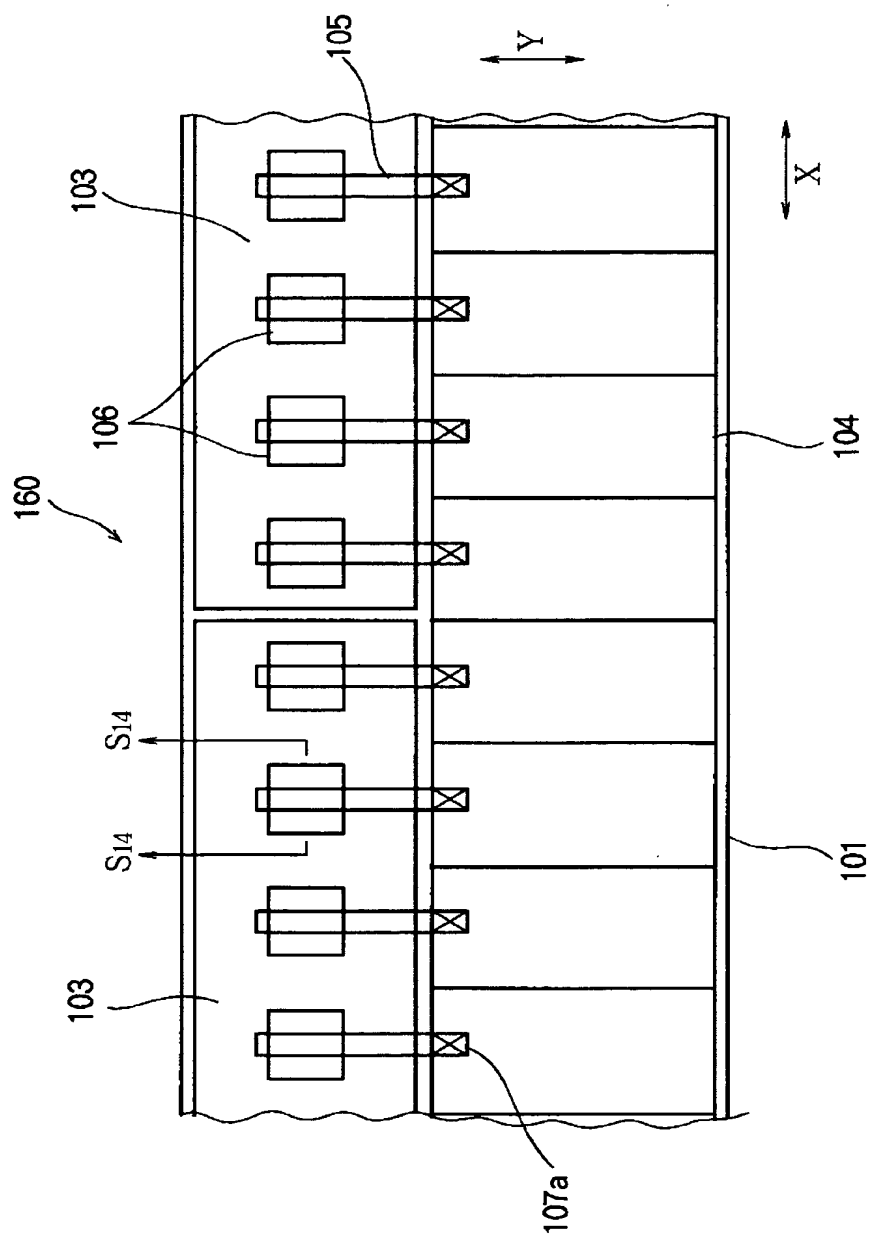
集積回路薄膜の製造プロセス

【図 12】



第 2 の実施形態

【図 13】



第 3 の実施形態

【図 14】

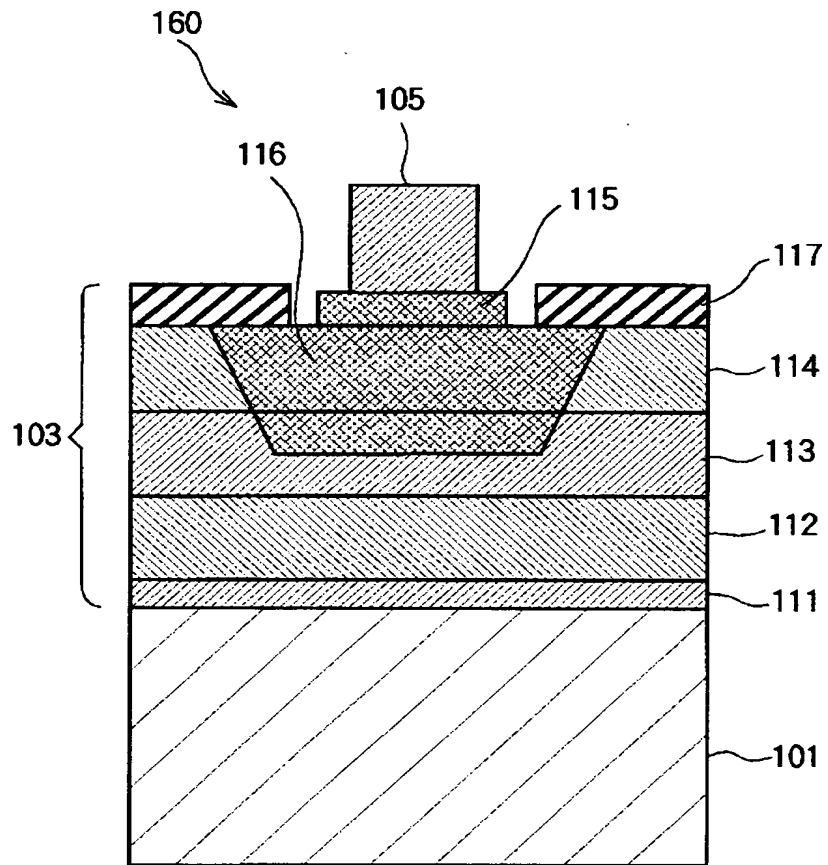
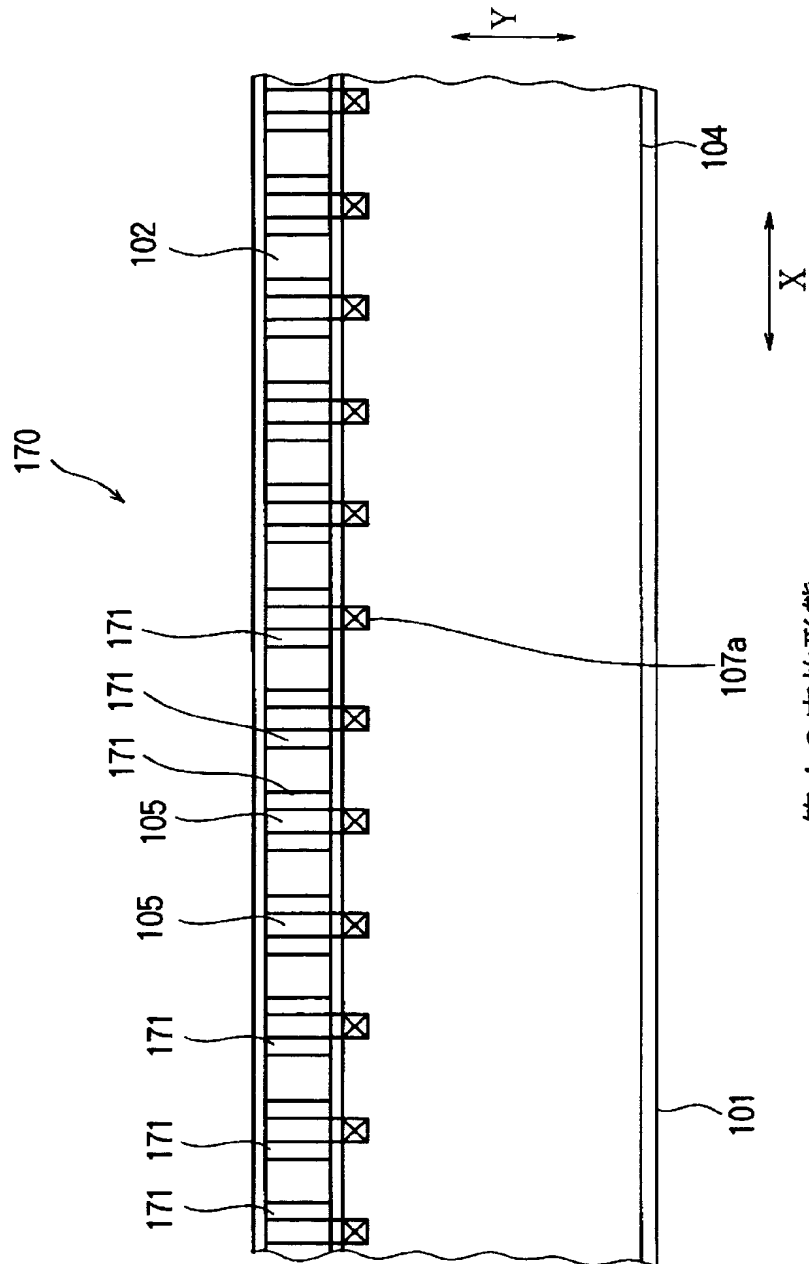


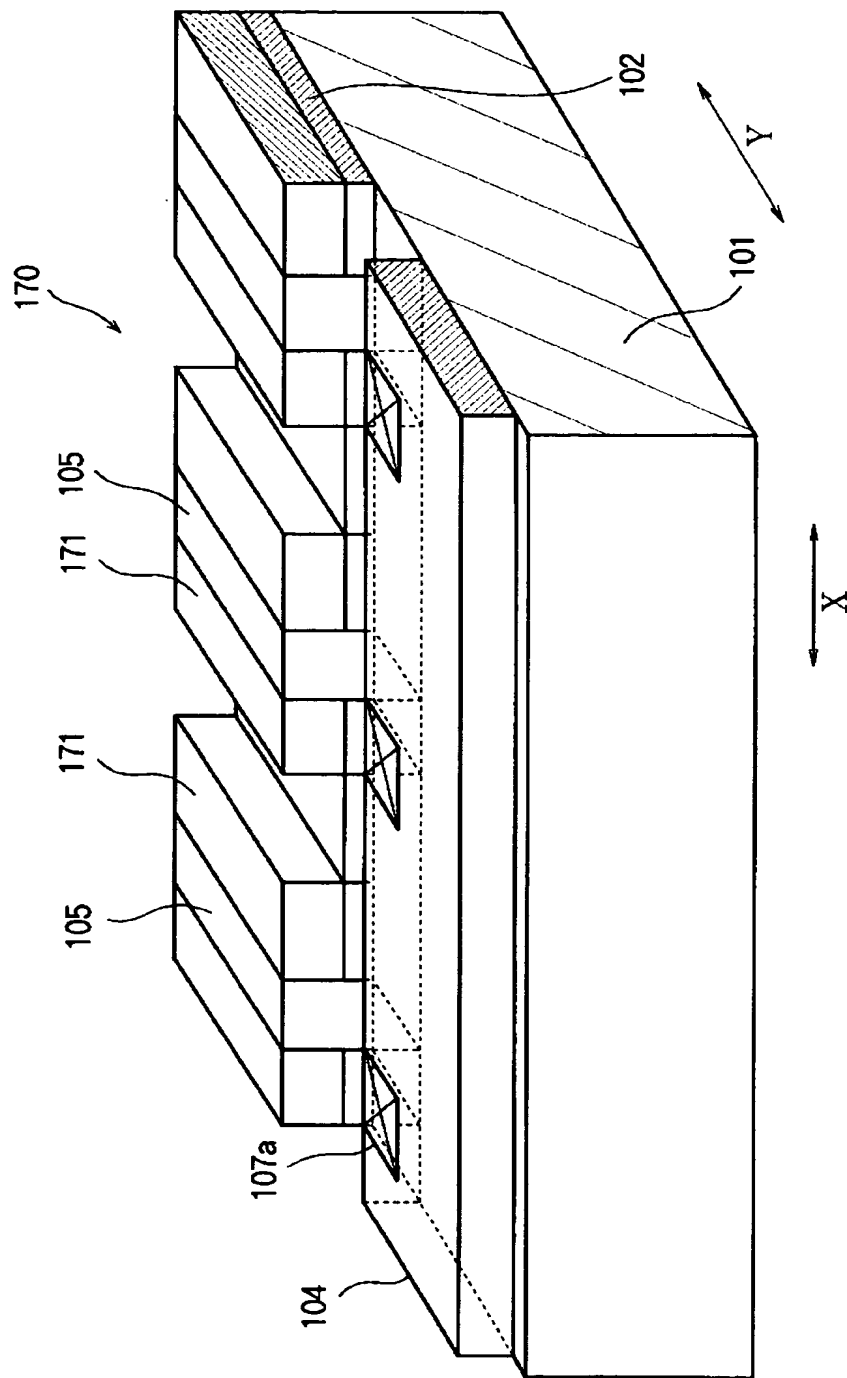
図 13 の S₁₄-S₁₄ 線断面図

【図 15】



第 4 の実施形態

【図 16】



第 4 の実施形態

【図 17】

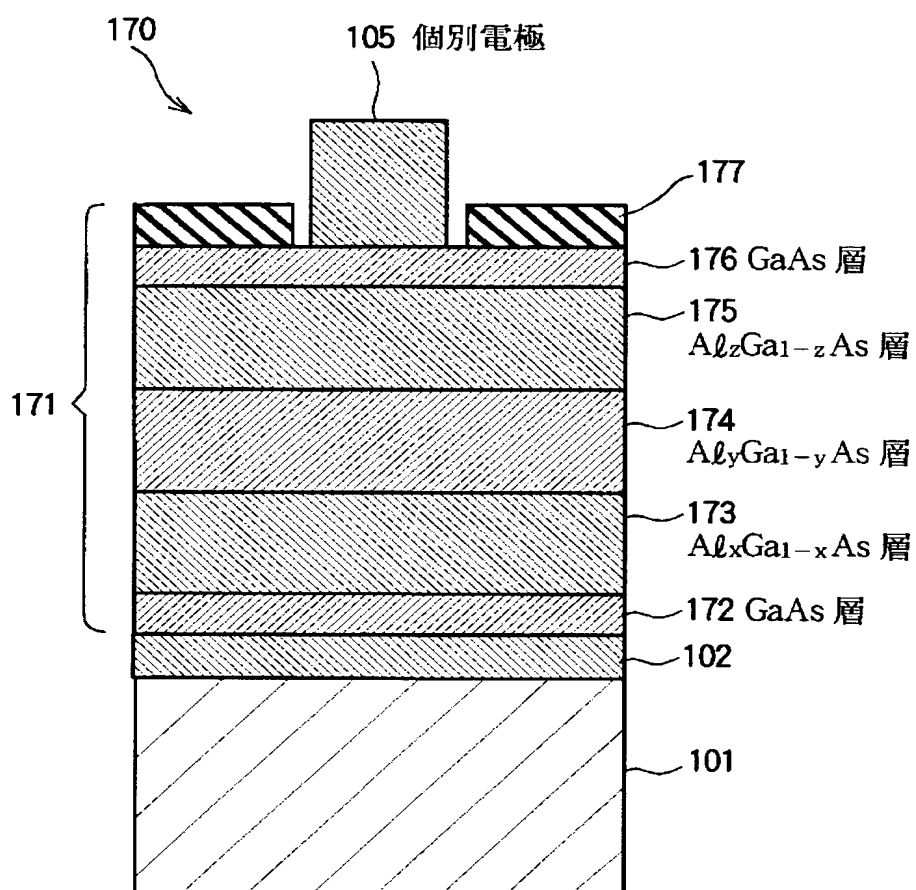
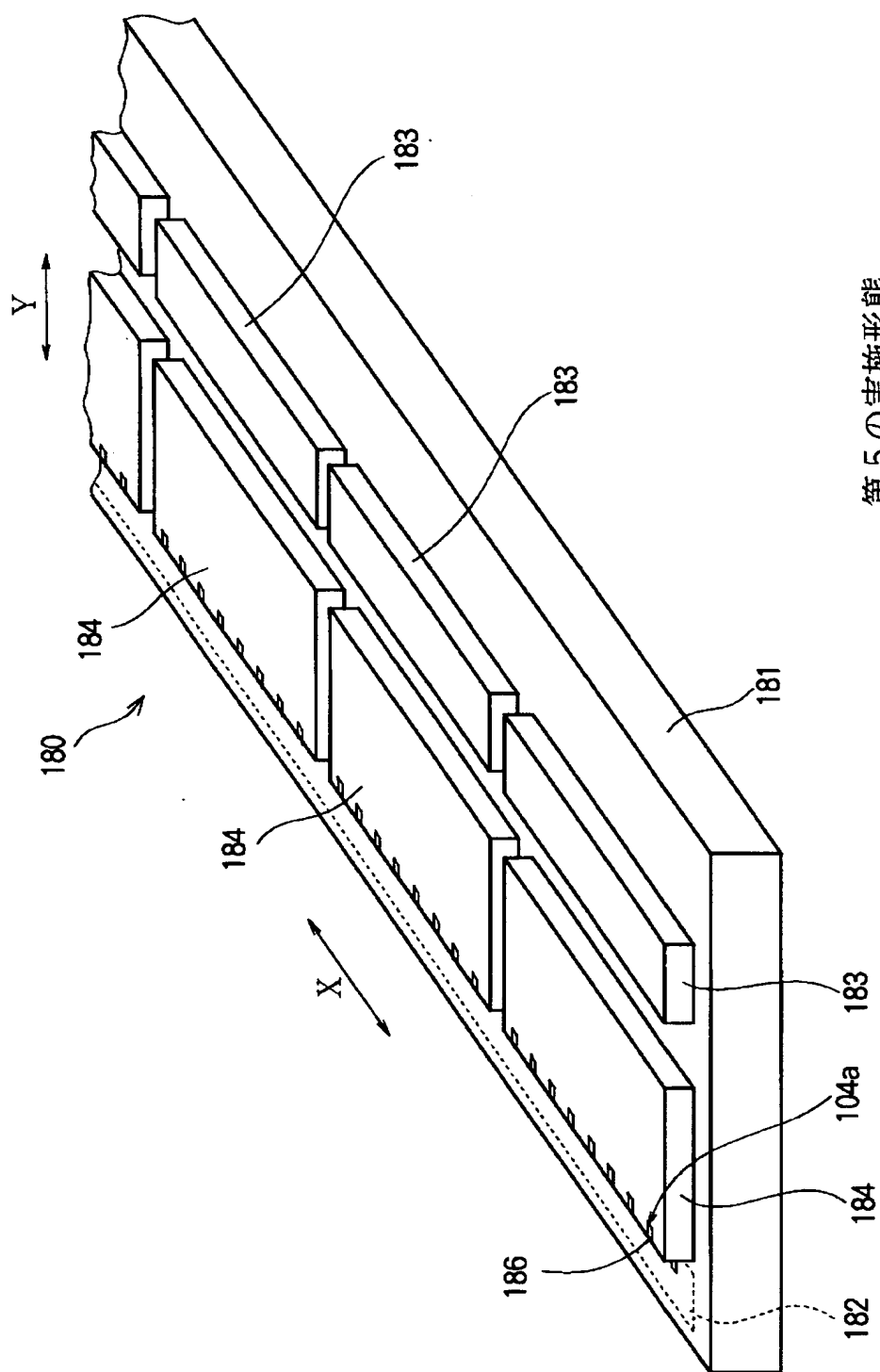
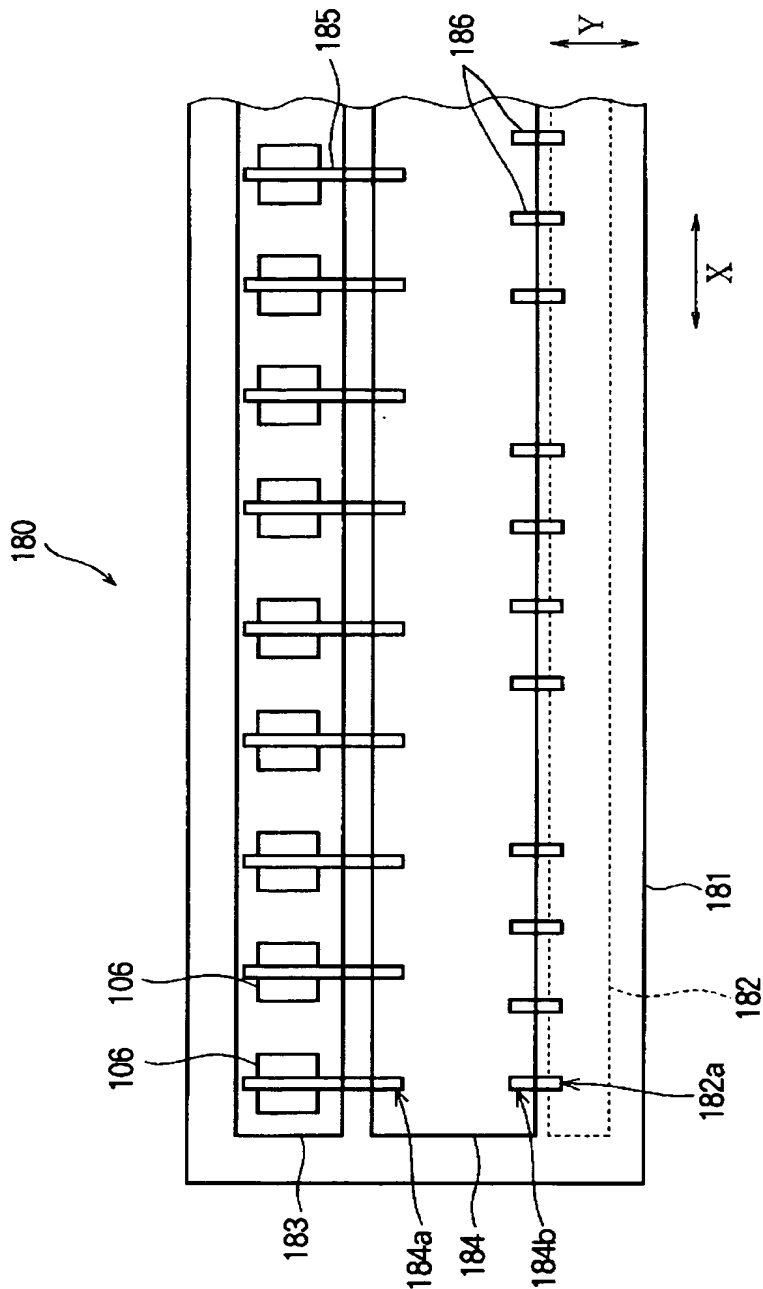


図 15 の S₁₇-S₁₇ 線断面

【図 18】

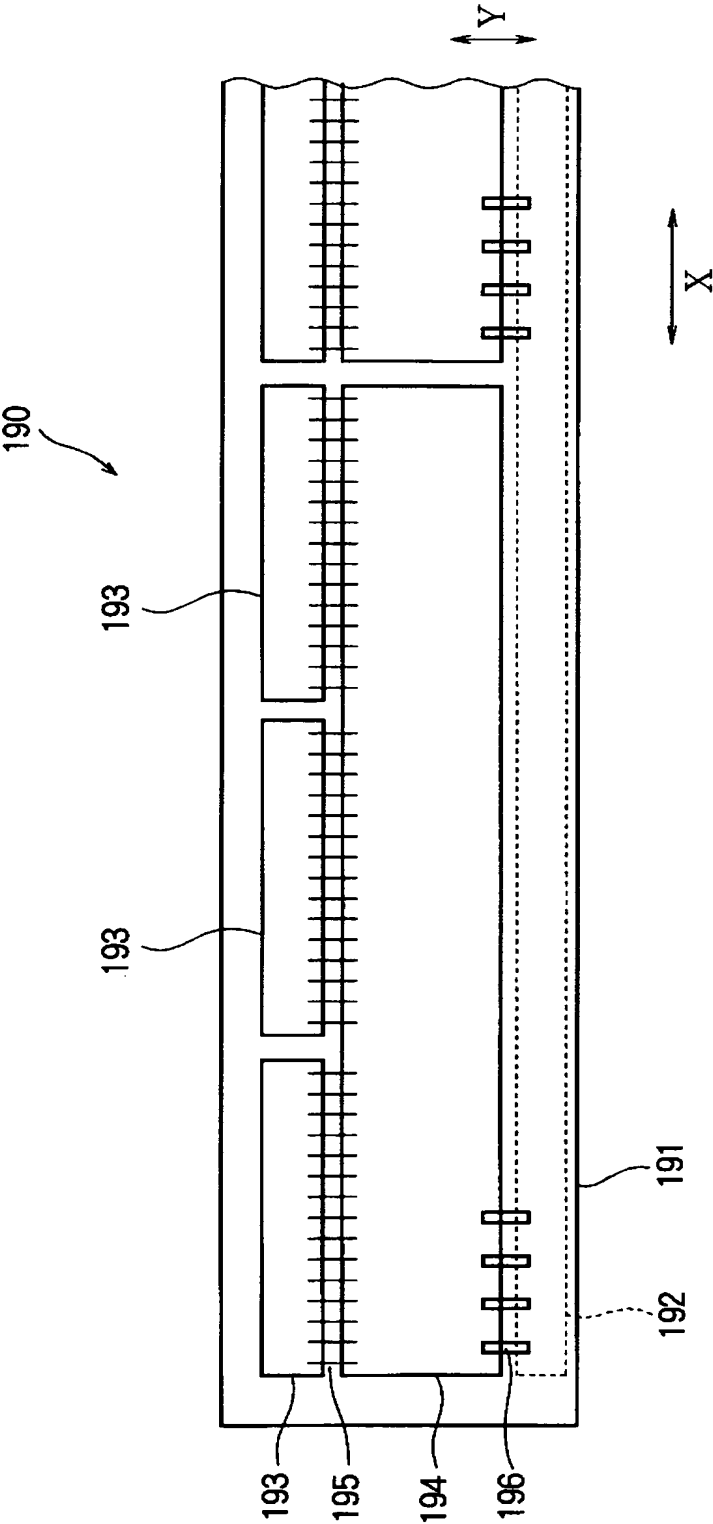


【図 19】



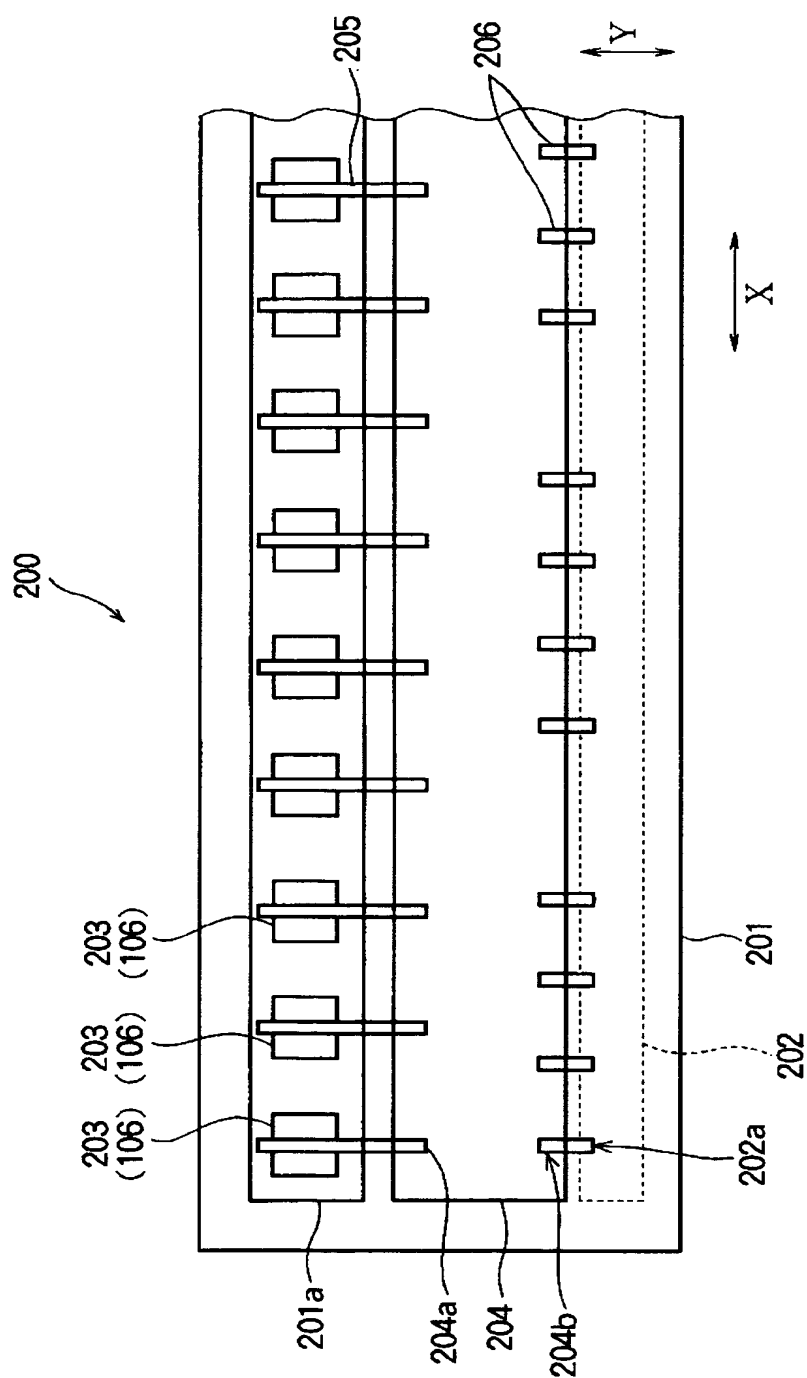
第5の実施形態

【図 20】



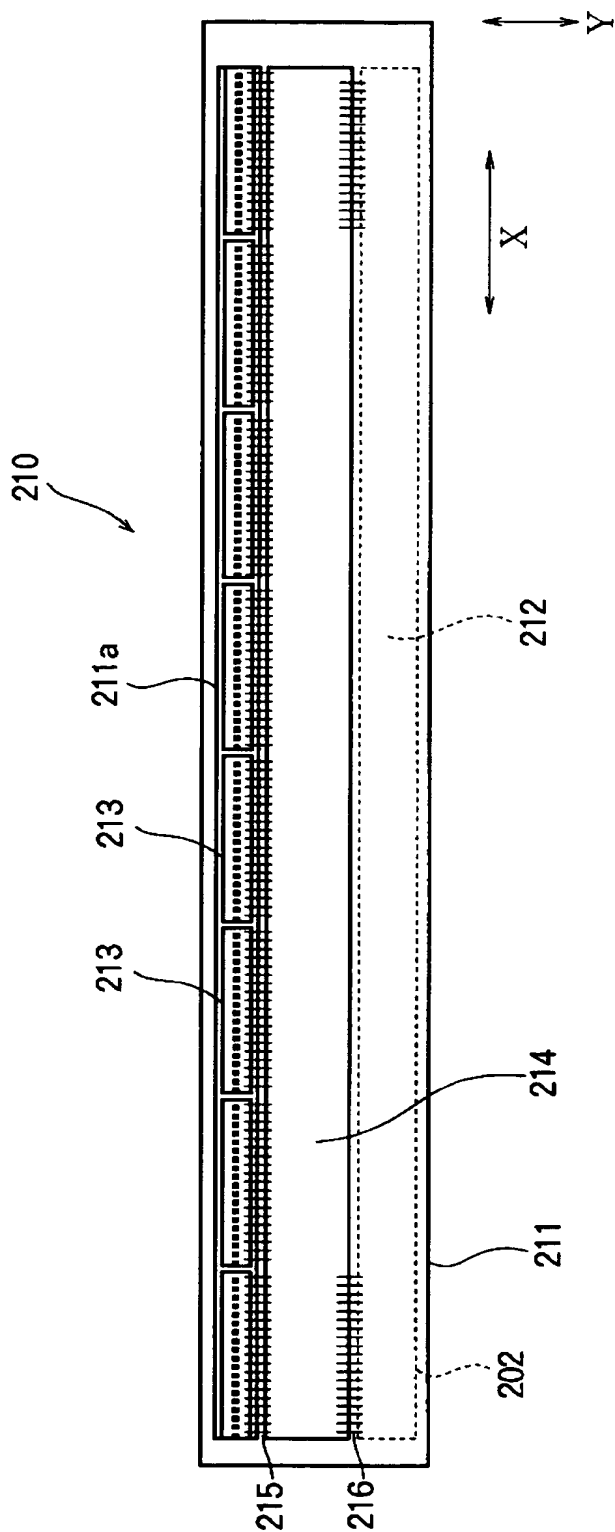
第 6 の実施形態

【図 2 1】



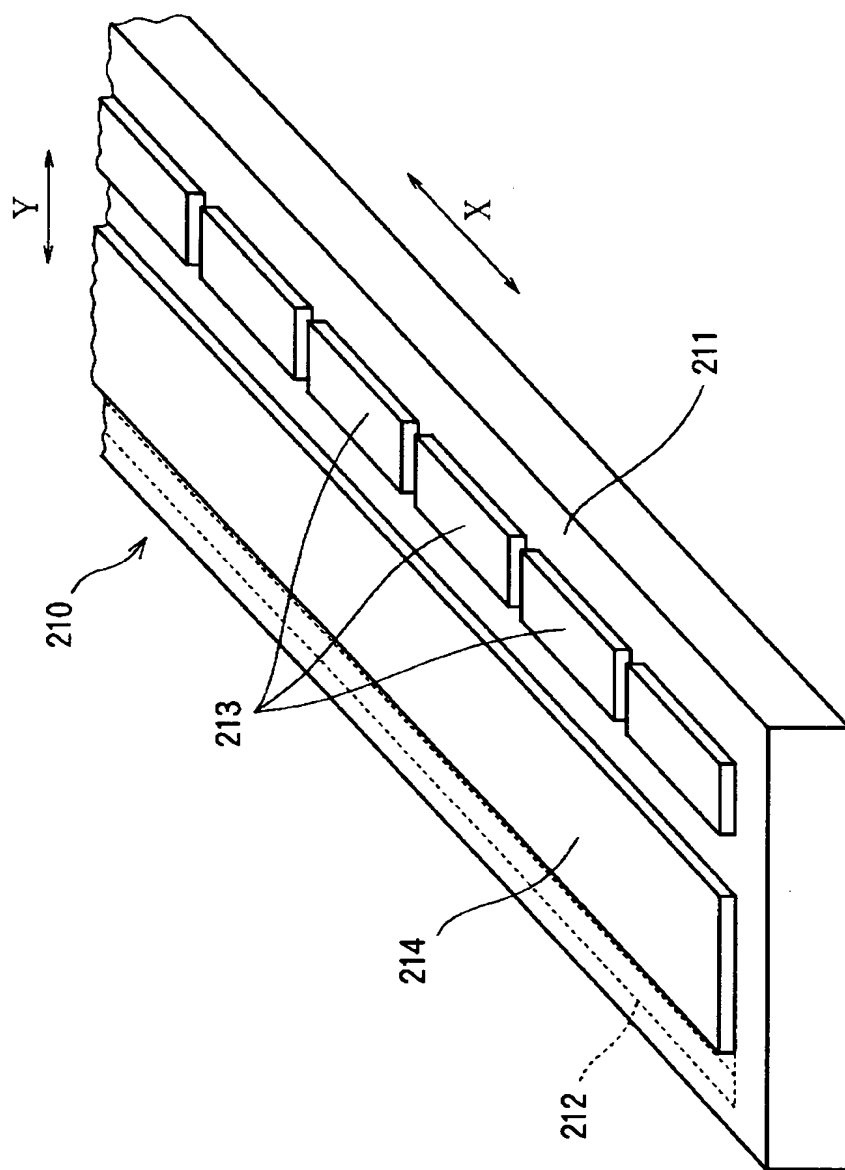
第7の実施形態

【図 22】



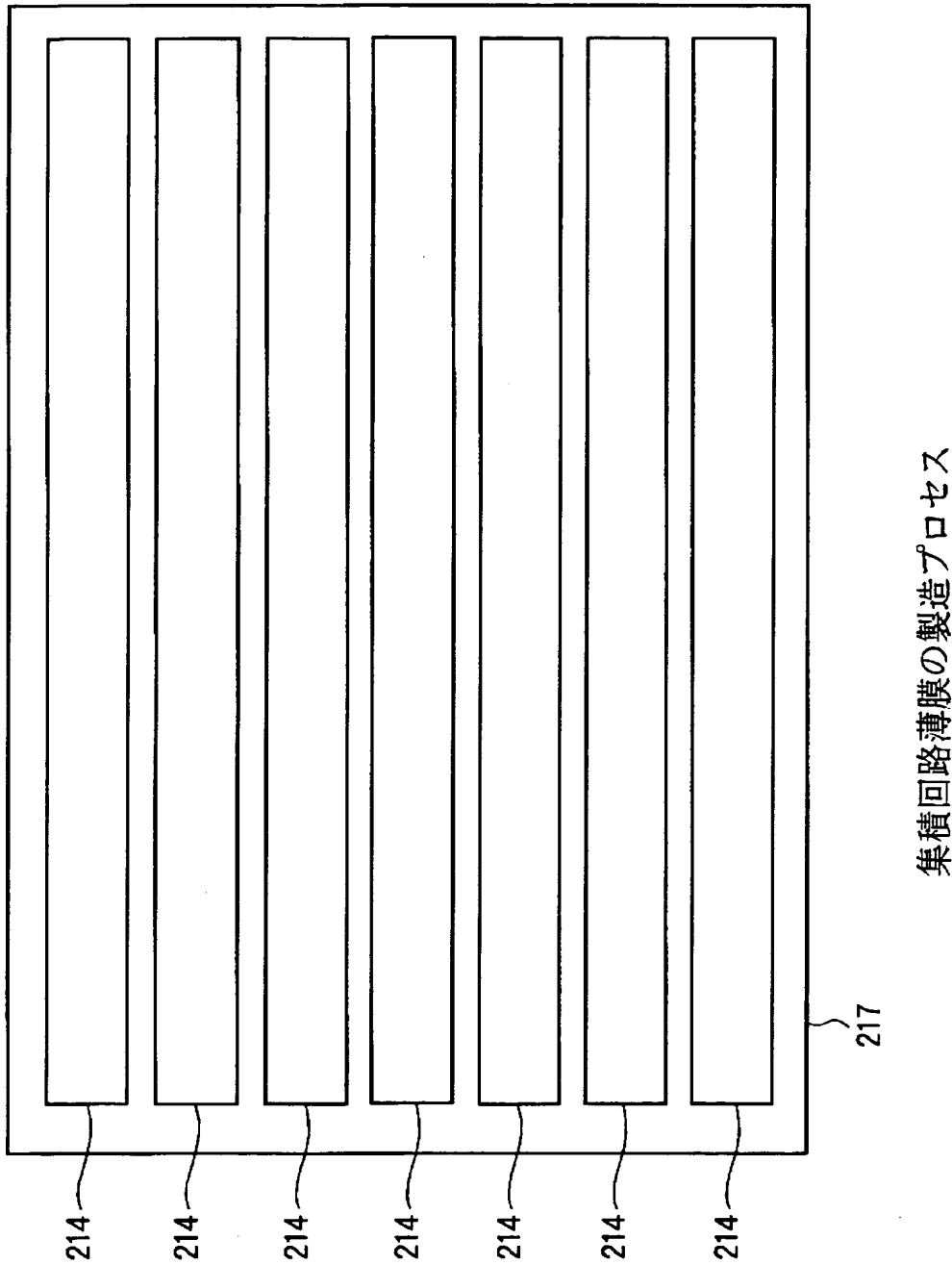
第 8 の実施形態

【図 23】

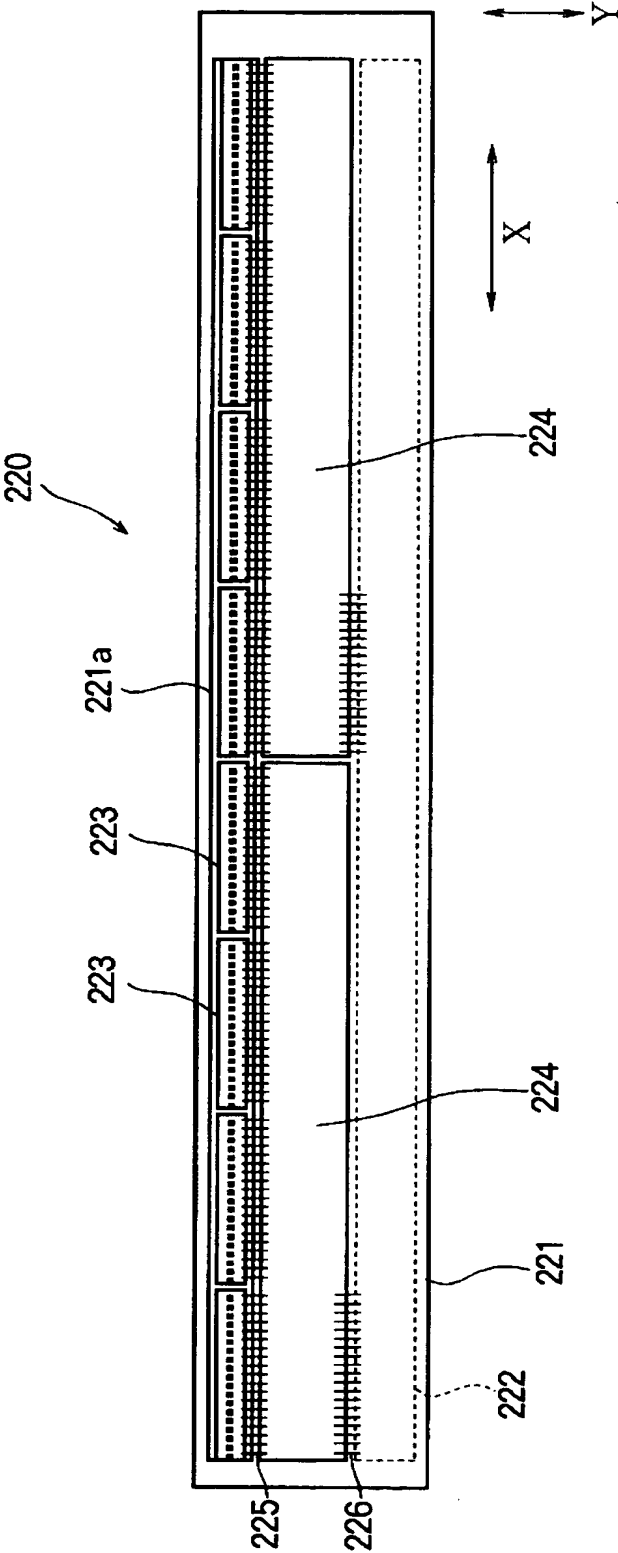


第 8 の実施形態

【図 24】

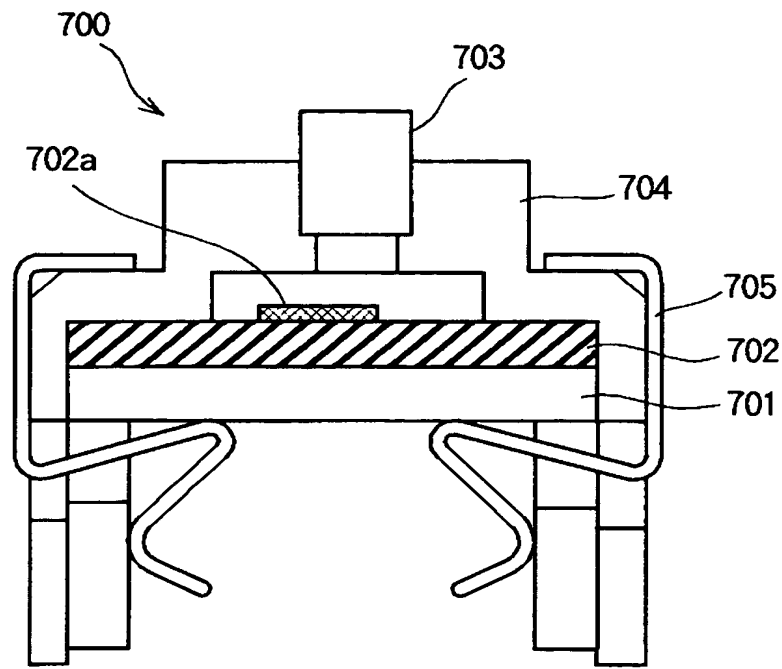


【図 25】



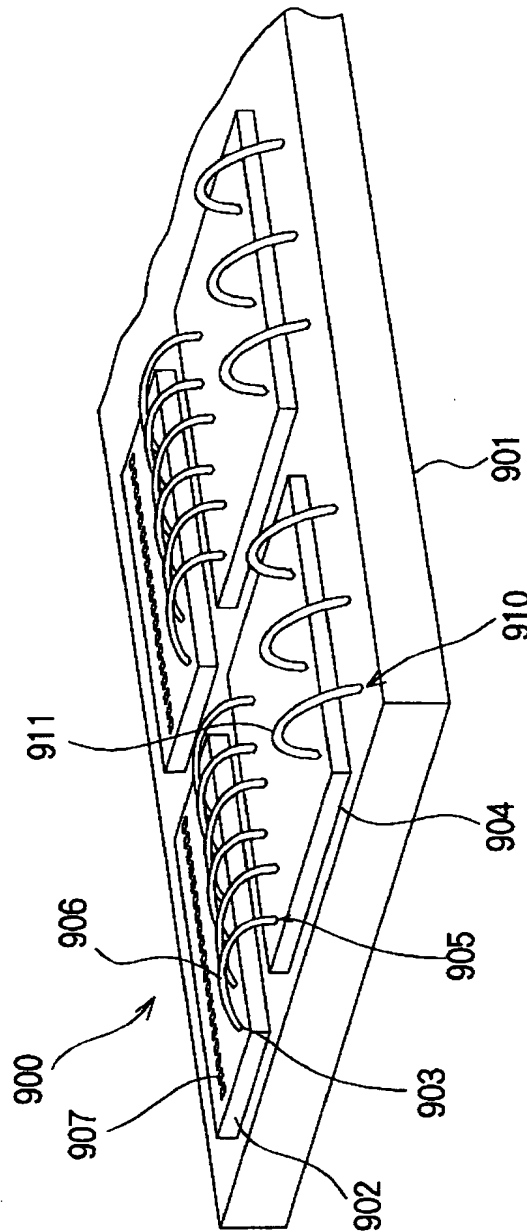
第9の実施形態

【図 26】



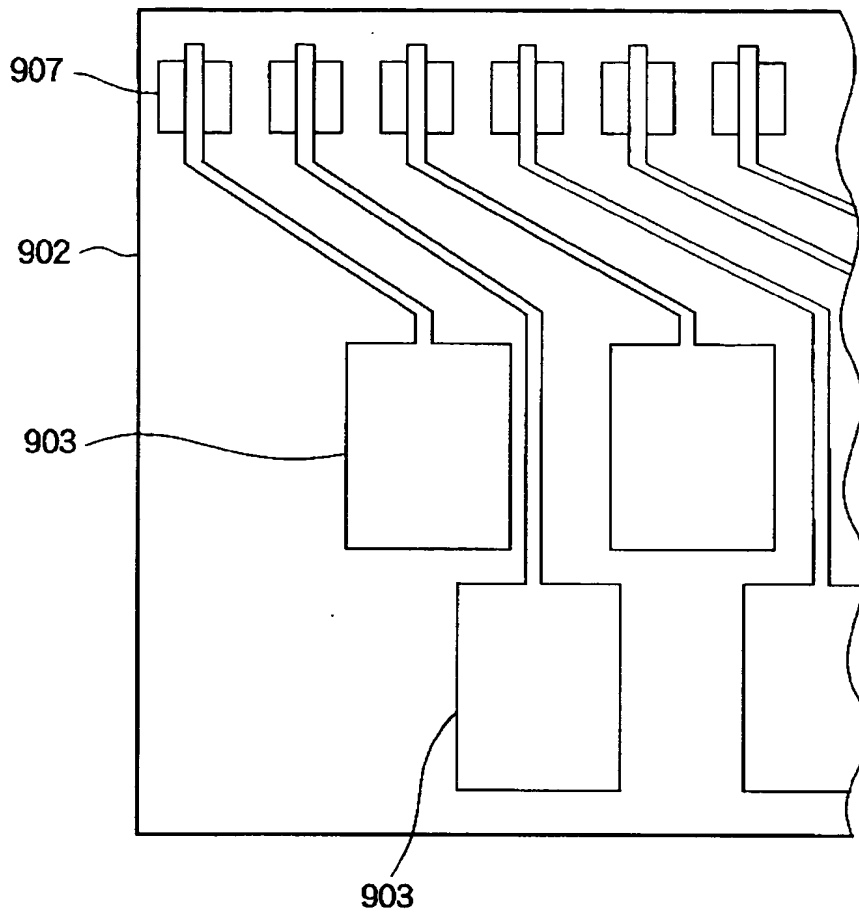
LED プリントヘッド

【図 27】



従来例

【図 28】



従来例

【書類名】 要約書

【要約】

【課題】 小型化及び材料コストの低減を図ることができる半導体複合装置を提供する。

【解決手段】 半導体複合装置は、基板 101 と、基板 101 の表面に形成されたメタル層 102 と、メタル層 102 上に貼り付けられたシート状の LED エピタキシャルフィルム 103 と、基板 101 の表面に貼り付けられたシート状の集積回路薄膜 104 とを有する。また、半導体複合装置は、LED エピタキシャルフィルム 103 の LED 106 の発光部上から基板 101 の表面を経由して集積回路薄膜 104 の端子領域 107a 上に至る領域に形成され、LED エピタキシャルフィルム 103 の LED 106 と集積回路薄膜 104 の端子領域 107a とを電氣的に接続する薄膜の個別配線層 105 を有する。

【選択図】 図 3

特願 2 0 0 2 - 3 2 9 2 7 3

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 4 1 6 4]

1. 変更年月日

2 0 0 1 年 9 月 1 8 日

[変更理由]

住所変更

住 所

東京都港区芝浦四丁目 1 1 番 2 2 号

氏 名

株式会社沖データ

特願 2 0 0 2 - 3 2 9 2 7 3

出 願 人 履 歴 情 報

識別番号

[5 0 0 0 0 2 5 7 1]

1. 変更年月日

1 9 9 9 年 1 2 月 2 0 日

[変更理由]

新規登録

住 所

東京都八王子市東浅川町 5 5 0 番地 - 1

氏 名

株式会社沖デジタルイメージング